

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 9月27日

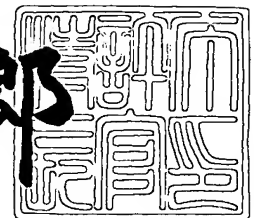
出願番号  
Application Number: 特願2002-284001  
[ST. 10/C]: [JP 2002-284001]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2003年 7月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053774

【書類名】 特許願

【整理番号】 P006630

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 石川 明

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

ゲート絶縁膜の上に導電性膜を形成する工程と、前記導電性膜の上に第 1 のハードマスクを形成する工程と、前記第 1 のハードマスクをマスクとして高濃度の不純物を前記半導体膜に添加する工程と、前記高濃度の不純物添加後に前記第 1 のハードマスクをエッチングにより後退させ第 2 のハードマスクを形成する工程と、前記第 2 のハードマスクをマスクとして低濃度の不純物を前記半導体膜に添加する工程と、前記低濃度の不純物添加後に前記第 2 のハードマスクをマスクとして前記導電性膜を加工しゲート電極を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2】

ゲート絶縁膜の上に導電性膜を形成する工程と、前記導電性膜の上に第 1 のハードマスクを形成する工程と、前記第 1 のハードマスクをマスクとして高濃度の不純物を前記半導体膜に添加する工程と、前記高濃度の不純物添加後に前記第 1 のハードマスクをエッチングにより後退させ第 2 のハードマスクを形成する工程と、前記第 2 のハードマスクをマスクとして前記導電性膜を加工しゲート電極を形成する工程と、前記ゲート電極を形成後に前記第 2 のハードマスクをマスクとして低濃度の不純物を前記半導体膜に添加する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 3】

ゲート絶縁膜の上に形成されたゲート電極とを有する半導体装置において、前記ゲート電極の上にはハードマスクを有することを特徴とする半導体装置。

【請求項 4】

ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極の上にハードマスクを有する半導体装置において、ゲート電極に信号を送るための配線又は前記配線とゲート電極を接続する為の接続層となる導電性膜が、前記ゲート電極と接するように形成されていることを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置およびその作製方法に関し、特に自己整合的に L D D (L i g h t l y D o p e d D r a i n) を形成する方法を用いた半導体装置およびその作製方法に関する。

**【0002】****【従来の技術】**

近年、画像表示装置の分野では、ガラス基板上に画素や駆動回路の他、メモリ回路やクロック発生回路等の論理回路を内蔵したシステムオンパネルの開発が注目されている。駆動回路や論理回路には高速動作が要求され、これを実現するためにはスイッチング速度の速い T F T をガラス基板上に作製する技術の開発が必要となる。スイッチング速度の速い T F T は、結晶欠陥が少ない半導体膜を用いることや、素子寸法を微細化することによって作製される。

**【0003】**

素子寸法が比例縮小則に従って微細化しても、信号速度や応答速度を維持するため、駆動電圧は必ずしも比例縮小則に従って下げることができない。このため、M O S トランジスタの素子寸法を微細化していくと、ドレイン近傍が高電界化する。これによってホットキャリアと呼ばれる高いエネルギーをもったエレクトロンやホールが発生し、発生したホットキャリアがゲート絶縁膜中に捕獲されたりすることにより閾値が変動するなどの劣化現象が発生することが知られている。

**【0004】**

このようなホットキャリアの発生を抑制するには、素子構造を L D D (L i g h t D o p e d D r a i n) 構造にすることが有効である。L D D 構造は、チャネルと接する側のドレイン端部に、低濃度の不純物領域（以後、L D D と略記）を設けることで形成される。低濃度の不純物としては、n チャネル型の素子の場合には、n 型不純物、p チャネル型の素子の場合には p 型不純物を用いる。このようにチャネルとドレインの接合に不純物濃度の傾斜をもたせることに

より、ドレイン近傍の電界を緩和し、ホットキャリアの発生を抑制する（例えば、非特許文献1参照）。

【0005】

【非特許文献1】

岸野正剛著「現代 半導体デバイスの基礎」オーム社、1995年2月25日、p. 201-207

【0006】

ホットキャリア起因の劣化現象は、MOSトランジスタだけではなく、TFETにおいても発生する。そして、その抑制は、MOSトランジスタと同様に、TFETの素子構造をLDD構造にすることにより可能である。

【0007】

ここで、MOSトランジスタにおいて、一般的に用いられているLDD構造の形成方法を、図1を用いて説明する。但し、ここでは素子分離する迄の工程及びLDD形成後の工程については省略する。

【0008】

素子分離した半導体膜102の上にゲート絶縁膜103を形成する。さらにゲート絶縁膜103上にポリシリコンのゲート電極104を形成し、所望の形状に加工した後、低濃度のイオンを半導体膜102に打ち込む。次に、ゲート電極104の上に等方的な段差被覆性の良い酸化珪素膜105を成膜する。さらに、ゲート電極側壁にのみ酸化珪素膜105が残るように垂直方向の異方性エッチングし、サイドウォール106を形成する。さらに、サイドウォール106を貫通しないよう、高濃度のイオンを半導体膜102に打ち込み、ソース（或いはドレイン）108を形成する。サイドウォール106の下部には、高濃度のイオンは打ち込まれず、LDD107となる。

【0009】

上記のように、サイドウォールを利用することにより、パターニングを伴わない自己整合的な方法でLDDを形成する。素子寸法の微細化に伴い、パターニングのアライメント精度を超える範囲での加工が要求される場合が生じる。このような場合、パターニングせず自己整合的に形成した方が精度良く形成できる

ことがある。LDDの形成に於いても、自己整合的に形成した方が、加工精度が高いとき、上記のような方法が用いられる。

#### 【0010】

##### 【発明が解決しようとする課題】

TFTに於いても、MOSトランジスタと同様の方法でLDDを形成することは可能である。しかしながら、TFTを形成する基板にガラス等の絶縁性を有する材料を用いるため帯電し易く、特にサイドウォールを形成するための異方性エッチングに於いてプラズマによる損傷を受け易い。プラズマによる損傷を受けた素子は、ゲート絶縁膜中に電荷、半導体層とゲート絶縁膜の界面に準位等を発生し、結果として閾値が変動するといった不良を生じる。このようなLDD形成過程で生じるプラズマによる損傷は、主に異方性エッチング中、既に所望の形状に加工され表面積が縮小したゲート電極に於いて、ゲート電極に蓄積される電荷の放電が困難になった結果生じ、素子特性に重大な影響を与えるようになったものと考えられる。従って、TFTの素子寸法が微細化しゲート電極の表面積が縮小、ゲート絶縁膜厚が薄膜化する程、ゲート電極に蓄積される電荷密度が高くなりプラズマによる損傷は大きくなる。

#### 【0011】

しかしながら、論理演算回路用の素子として必須であるスイッチング速度の速いTFTを作製するために、又高集積化を図るために、素子寸法の微細化は益々必要とされている。さらにTFTでは、低コスト化のため高温耐性のないガラスを材料とした基板を用いることが多いため、熱処理により損傷を回復することも難しい。このため、加工精度が高いという自己整合的な手法の利点を生かし、且つプラズマによる損傷が極力低減できるようなLDD構造TFTの作製方法の開発が求められる。

#### 【0012】

本発明では、自己整合的にLDDを形成でき、且つプラズマによる損傷を極力低減できる半導体装置の作製方法およびその作製方法を用いて作製した半導体装置について提供することを課題とする。

#### 【0013】

**【課題を解決するための手段】**

本明細書中では、フォトリジストを材料として形成したマスクを「レジストマスク」、フォトリジスト以外のものを材料として形成したマスクを「ハードマスク」と定義する。またマスクとして「ハードマスク」を用いているという記載が特にされていない場合、マスクには「レジストマスク」を用いているものとする。またチャンネル長と同一方向のLDDの長さを「LDD長」とする。

**【0014】**

本発明の半導体装置の作製方法は、導電性膜で基板全体を覆った状態で異方性エッチング等のプラズマによる処理（プラズマプロセス）を行い、プラズマプロセス中に発生する電荷密度を低減し、LDD形成工程において発生するプラズマによる損傷を極力低減することを特徴としている。

**【0015】**

本発明の半導体装置の作製方法は、ゲート絶縁膜の上に導電性膜を形成する工程と、前記導電性膜の上に第1のハードマスクを形成する工程と、前記第1のハードマスクをマスクとして高濃度の不純物を前記半導体膜に添加する工程と、前記高濃度の不純物添加後に前記第1のハードマスクをエッチングにより後退させ第2のハードマスクを形成する工程と、前記第2のハードマスクをマスクとして低濃度の不純物を前記半導体膜に添加する工程と、前記低濃度の不純物添加後に前記第2のハードマスクをマスクとして前記導電性膜を加工しゲート電極を形成する工程とを有することを特徴としている。

**【0016】**

図2に示すように、絶縁性基板201上に半導体膜202を島状に形成して素子分離した後、半導体膜202の上に絶縁膜を成膜してゲート絶縁膜203を形成し、さらに絶縁膜203の上に導電性膜204を形成する。

**【0017】**

次に導電性膜204の上にハードマスク205を形成する。導電性膜204の上にハードマスク膜を形成し、レジストマスクを用いてハードマスク膜を加工してハードマスク205を形成する。ハードマスクはレジストマスクを用いて島状に加工する。ハードマスクは、側壁が90°以下の傾斜角をもつ形状である

か、或いは側壁が円弧状の形状であるようにする。ハードマスク膜の材料としては、導電性の材料或いは絶縁性の材料のいずれを用いてもよいが、導電成膜 2 0 4 と選択比の高いエッチングが可能であるものを用いる。

#### 【 0 0 1 8 】

ハードマスク 2 0 5 をマスクとして絶縁膜 2 0 3 及び導電性膜 2 0 4 を介して半導体層 2 0 2 に高濃度の不純物を半導体膜 2 0 2 に添加し、ソース（或いはドレイン） 2 0 6 を形成する。

#### 【 0 0 1 9 】

次にハードマスク 2 0 5 を選択的にエッチングして後退させ、ハードマスク 2 0 7 を形成する。ハードマスク 2 0 7 の水平方向への後退量により、LDD長が決まる。

#### 【 0 0 2 0 】

さらにハードマスク 2 0 7 をマスクとし、絶縁膜 2 0 3 及び導電性膜 2 0 4 を介して半導体膜 2 0 2 に低濃度の不純物を添加し、LDD 2 0 8 を形成する。

#### 【 0 0 2 1 】

このようにパターンニング工程を伴わない自己整合的な方法でLDD 2 0 8 を形成する。またハードマスク 2 0 5 をエッチングにより後退させる際、湿式方法を用いればプラズマによる損傷を受けることが無い。さらに乾式方法を用いても、導電成膜 2 0 4 が基板全面に形成されており表面積が大きい状態であるため、エッチング中、導電成膜 2 0 4 に蓄積される電荷密度は小さくなり、プラズマによる損傷を極力低減することができる。

#### 【 0 0 2 2 】

LDD 2 0 8 を形成した後、ハードマスク 2 0 7 をマスクとして導電性膜 2 0 4 を加工し、ゲート電極 2 0 9 を形成する。

#### 【 0 0 2 3 】

上記に述べたような方法を用いることにより、自己整合的にLDDを形成でき、且つプラズマによる損傷を極力低減した半導体装置を作製できる。

#### 【 0 0 2 4 】



本発明の半導体装置の作製方法は、ゲート絶縁膜の上に導電性膜を形成する工程と、前記導電性膜の上に第 1 のハードマスクを形成する工程と、前記第 1 のハードマスクをマスクとして高濃度の不純物を前記半導体膜に添加する工程と、前記高濃度の不純物添加後に前記第 1 のハードマスクをエッチングにより後退させ第 2 のハードマスクを形成する工程と、前記第 2 のハードマスクをマスクとして前記導電性膜を加工しゲート電極を形成する工程と、前記ゲート電極を形成後に前記第 2 のハードマスクをマスクとして低濃度の不純物を前記半導体膜に添加する工程とを有することを特徴としている。

#### 【 0 0 2 5 】

第 2 のハードマスクをマスクとして導電成膜を加工した後、第 2 の不純物を半導体膜に添加しても L D D は形成可能である。また導電成膜を加工後、絶縁膜は残しても良いし、或いは除去しても構わない。絶縁膜を残している場合は、絶縁膜を介して第 2 の不純物添加が行われることになる。このような方法を用いても、自己整合的に L D D を形成でき、且つプラズマによる損傷を極力低減した半導体装置を作製できる。

#### 【 0 0 2 6 】

本発明の半導体装置は、ゲート絶縁膜の上に形成されたゲート電極とを有する半導体装置において、前記ゲート電極の上にはハードマスクを有することを特徴としている。

#### 【 0 0 2 7 】

前述のような方法を用いて作製した半導体装置に於いては、その作製方法上必要不可欠であるハードマスクがゲート電極上に残る。このゲート電極上に残ったハードマスクを除去しても良いが、工程を簡略化する目的で、除去せず層間膜の一部として使用する。またハードマスクが導電性材料で形成されている場合は、ゲート電極上に残ったハードマスクをゲート電極の一部として使用すればよい。

#### 【 0 0 2 8 】

本発明の半導体装置は、ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極の上にハードマスクを有する半導体装置において、ゲート電極に信

号を送るための配線又は前記配線とゲート電極を接続する為の接続層となる導電性膜が、前記ゲート電極と接するように形成されていることを特徴としている。

#### 【0029】

本発明の半導体装置においては、ゲート電極となる導電性膜を貫通して不純物を半導体層に添加するため、ゲート電極が非常に薄い膜となっている。このようなゲート電極上にコンタクトホールを開孔するのは非常に困難であり、開孔と同時にゲート電極もエッチングされ、ゲート電極を貫通してしまう恐れがある。このため、ゲート電極上のハードマスクが形成されていない領域に、ゲート電極とゲート電極に信号を送るための配線、或いはゲート電極とゲート電極に信号を送るための配線を接続するための接続層となる導電性膜を設けたTF構造にし、上記の問題を解決する。但し、接続層はコンタクトホール開孔のエッチングを行っても、ゲート電極が貫通しない程度の厚さにしなければならない。

#### 【0030】

##### 【発明の実施の形態】

本発明の実施の形態について、図3、4を用いて説明する。ここでは、自己整合的にLDDを形成でき、且つプラズマによる損傷を極力低減できる方法を用いたLDD構造TFの作製方法について説明する。

#### 【0031】

図3は、本発明におけるLDD構造TFの作製工程を断面図によって表したものである。

#### 【0032】

ガラス基板301上に、島状の半導体膜302を形成する。次に半導体膜302の上に膜厚約20～60nmの酸化珪素膜を成膜してゲート絶縁膜303を形成する。さらにゲート絶縁膜303の上に膜厚20～60nmの窒化タンタル（Ta<sub>N</sub>）を成膜して導電成膜304を形成する。

#### 【0033】

導電性膜304の上に膜厚0.6～1.5μmの酸化珪素膜を成膜した後、レジストマスクをマスクとして側壁が35～50°の傾斜角を持つように酸化珪素膜を選択的にエッチングして加工し、導電性膜304上にハードマスク30

6を形成する。ハードマスク形成後は、その上のレジストマスクを除去する。ハードマスクに用いる材料としては、導電性膜304に用いる材料との間に高選択比のあるエッチングが可能であり、且つエッチングによる後退量の制御が容易なものであれば、酸化珪素膜以外のものを用いても構わない。また詳細については後述するが、ハードマスクの材料として用いている酸化珪素膜の厚さについては、「エッチングによる垂直方向の後退量（即ち、膜減り量）」と「LDD形成用不純物添加のマスクとして機能するのに必要な膜厚」の和以上になるように考慮して決定する。このため、必要であれば上記に述べた膜厚以下としても或いは上記に述べた膜厚以上としてもよい。

#### 【0034】

次に、pチャネル型TFTとなる領域をレジストマスク307でマスクし、nチャネル型TFTとなる領域の半導体膜302に、ハードマスク306をマスクとしてn型不純物である燐を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で添加し、ソース（或いはドレイン）308を形成する。ここでは燐を用いているが、n型不純物であれば他に砒素等を用いても構わない。不純物添加後はレジストマスク307を除去する。

#### 【0035】

さらに、nチャネル型TFTとなる領域をレジストマスク309でマスクし、pチャネル型TFTとなる領域の半導体膜302に、ハードマスク306をマスクとしてp型不純物であるボロンを $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で添加し、ソース（或いはドレイン）310を形成する。この時、p型不純物であれば、ボロン以外のものを用いても構わない。不純物添加後はレジストマスク309を除去する。

#### 【0036】

次に、ハードマスク306を、垂直方向を主体とした異方性エッチングにより $0.4 \sim 1.0 \mu\text{m}$ 水平方向に後退させ、ハードマスク311を形成する。この時、導電性膜304は基板全面に形成されており、表面積が非常に大きい状態であるため、乾式方法の異方性エッチングを用いた場合でも、導電性膜304に蓄積される電荷密度は小さく、プラズマによる損傷は極力低減される。この他

、等方性エッチングによって後退させてハードマスク 311 を形成しても構わない。また、この時のハードマスク 306 の水平方向の後退量が、後に形成される LDD 長となる。ここで、LDD 長は必ずしも  $0.4 \sim 1.0 \mu\text{m}$  にする必要はなく、発明の実施者が適宜決定すればよい。

#### 【0037】

ハードマスク 306 を後退させるためのエッチング方法には上記のような乾式方法だけでなく湿式方法を用いてもよい。本実施の形態と異なり、ハードマスク 306 の側壁が  $50 \sim 90^\circ$  の傾斜角をもつ形状である場合は、水平方向への後退を促すために等方性エッチング或いは水平方向を主体とする異方性エッチングを用いることが好ましい。本実施の形態のようにハードマスク 306 の側壁が  $35 \sim 50^\circ$  の傾斜角をもつ形状、或いは円弧状である場合は、等方性エッチング、或いは水平方向又は垂直方向のどちらか一方を主体とする異方性エッチングのいずれを用いても構わない。また、本実施の形態と異なり、ハードマスク 306 の側壁が  $35^\circ$  以下の場合は、垂直方向を主体とする異方性エッチングを用いることが好ましい。

#### 【0038】

ハードマスク 306 およびハードマスク 311 の形状を決めるパラメータは「ハードマスクの膜厚」、「側壁の傾斜角」、「エッチングによる水平方向への後退量」である。つまり、ハードマスク 306 を後退させるためのエッチングを同一条件下で行っても、側壁の傾斜角によって水平方向への後退量、即ち LDD 長が変わるため、「側壁の傾斜角」と「エッチングによる水平方向の後退量」との相関から所望の LDD 長が得られるように両パラメータを調整しなければならない。また「エッチングによる垂直方向への後退量（即ち、膜減り量）」が「ハードマスクの膜厚」以上にならないようにも調整しなければならない。例えば、ハードマスク 306 の断面形状が台形であるとし、ハードマスク 306 の側壁の傾斜角を  $\theta$ 、ハードマスク 306 の垂直方向の後退量を  $x$ 、ハードマスク 306 の水平方向の後退量を  $y$  としたとき、 $y = x (\tan \theta)^{-1}$  の関係が成立する。これ以外の形状のときは、その都度、「エッチングによる水平方向の後退量」と「エッチングによる垂直方向への後退量（即ち、膜減り量）」の相関について

予めデータを得ておく必要がある。

#### 【0039】

ここで「ハードマスクの膜厚」の決定に関しては、ハードマスク 306 の膜厚が後の工程で行う LDD 形成用不純物添加のマスクとして機能するのに必要な膜厚になるようにすることも考慮に入れなければならない。つまり「エッチングによる垂直方向への後退量（即ち、膜減り量）」と「LDD 形成用不純物添加のマスクとして機能するのに必要な膜厚」の和が「ハードマスクの膜厚」として最低限必要な膜厚である。

#### 【0040】

次に、p チャネル型 TFT となる領域をレジストマスク 312 でマスクし、n チャネル型 TFT となる領域の半導体層 302 に、ハードマスク 311 をマスクとして n 型不純物である燐を  $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$  の濃度で添加し、LDD 313 を形成する。ここでは燐を用いているが、n 型不純物であれば他に砒素等を用いても構わない。不純物添加後はレジストマスク 312 を除去する。

#### 【0041】

さらに、n チャネル型 TFT となる領域をレジストマスク 314 でマスクし、p チャネル型 TFT となる領域の半導体膜 302 に、ハードマスク 311 をマスクとして p 型不純物であるボロンを  $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$  の濃度で添加し、LDD 315 を形成する。この時、p 型不純物であれば、ボロン以外のものを用いても構わない。不純物添加後はレジストマスク 314 を除去する。

#### 【0042】

次に、ハードマスク 311 をマスクとして導電性膜 304 を加工し、ゲート電極 316 を形成する。

#### 【0043】

さらに、ゲート電極 316 の上方に層間絶縁膜 317 を形成した後、コンタクトホール形成、TFT に電圧を印加するための配線 318 形成をする。

#### 【0044】

以上のような工程を経て、自己整合的に LDD を形成し、且つプラズマに

よる損傷を極力低減したLDD構造のnチャネル型TFETおよびpチャネル型TFETを作製できる。本発明の半導体装置の作製方法は、特に、ゲート電極の表面積が非常に小さい、チャネル長が $1.5\mu$ 以下の微細なTFETを作製するのに有効である。

#### 【0045】

##### 【実施例】

##### [実施例1]

本発明の半導体装置の作製方法を用いることで、自己整合的にLDDを形成し、且つプラズマによる損傷を極力低減したLDD構造のnチャネル型TFETおよびpチャネル型TFETを作製できる。また、本発明の半導体装置の作製方法は、特に微細なTFETを作製するのに有効である。本実施例では、スイッチング速度が速い微細なTFETが必要とされる、論理演算回路の作製方法について図5、6を用いて説明する。

#### 【0046】

ガラス基板401上に、窒化珪素膜、酸化珪素膜または酸化窒化珪素膜等の絶縁膜からなる下地絶縁膜402を形成する。本実施例では、下地絶縁膜402として膜厚100nmの酸化珪素膜を単層で用いるが、前記絶縁膜を2層以上積層させた構造を用いてもよい。ガラス基板以外に、石英基板、又はシリコン基板上に絶縁膜を形成したもの、或いは本実施例の処理温度に耐えうるプラスチック基板を用いてもよい。また、下地絶縁膜402はガラス基板401からの不純物拡散を抑制する為に形成されるものであり、基板からの不純物拡散が無い場合は、特に形成する必要はない。

#### 【0047】

次に、下地絶縁膜402の上に膜厚30～60nmの半導体膜を形成する。半導体膜としては、非晶質半導体膜、多結晶半導体膜、微結晶半導体膜のいずれを用いても良い。又非晶質半導体膜の材料としては、珪素やシリコンゲルマニウム(SiGe)合金などを用いることができる。本実施例では、膜厚55nmの非晶質珪素膜成膜を成膜した後、触媒金属元素を用いて結晶化し、多結晶半導体膜としたものを用いる。

## 【0048】

非晶質珪素膜403（図示しない）の表面に触媒金属元素であるニッケル（Ni）を添加した後、熱処理（550℃、4時間）を施し、結晶質珪素膜404（図示しない）を形成する。さらに、酸素を含む雰囲気中でパルスレーザー光を照射して再結晶化させ、結晶性を向上させる。ここで、パルスレーザー光以外に連続発振レーザー光を用いて再結晶化してもよい。本実施例では、酸素を含んだ雰囲気中でXeClエキシマレーザー光による再結晶化により結晶質珪素膜表面に形成された凹凸を平坦化するため、酸素を含む雰囲気中での再結晶化後、さらに窒素雰囲気中で再度XeClエキシマレーザー光（或いは連続発振レーザー光）による再結晶化したものを結晶質珪素膜405とする。このような結晶質珪素膜表面の平坦化は、特に膜表面の凹凸がTF特性に対して多く影響してくる微細なTFを形成するのに有効な手段である。

## 【0049】

次に結晶質珪素膜405から、結晶化後、不要になったNiを除去する。結晶質珪素膜405の表面をオゾン水で処理し、膜厚1.5nmの薄い酸化膜を形成する。さらに薄い酸化膜の上にアルゴン（Ar）を含む珪素膜406（図示しない）をスパッタにて成膜し、熱処理（550℃、4時間）を施す。これにより、結晶質珪素膜405に含まれていたNiは珪素膜406に移動し、Niが除去された結晶質珪素膜407（図示しない）が形成される。本実施例では、このようにして形成された結晶質珪素膜407を半導体膜として用いる。

## 【0050】

さらに結晶質珪素膜407にTFの閾値を制御するためのp型不純物を添加する。本実施例では、p型不純物であるボロンを添加するが、必要に応じてn型不純物を添加しても構わない。また閾値制御のための不純物は、非晶質珪素膜に予め添加して於いてもよいし、或いは半導体膜を所望の形状に形成した後も構わない。

## 【0051】

結晶質珪素膜407をパターニングして加工し、半導体膜408を島状に形成する。

## 【0052】

次に半導体膜 408 を覆うように膜厚 50 nm の酸化珪素膜を成膜してゲート絶縁膜 409 を形成する。ゲート絶縁膜としては、酸化珪素膜や、窒化珪素膜等の絶縁膜を用いればよい。また膜厚については、各々の材料の誘電率等を考慮して適宜決定する必要がある。

## 【0053】

さらに、ゲート絶縁膜 409 の上に膜厚 30 nm の窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) を成膜して導電性膜 410 を形成する。導電性膜の膜種としては、例えばタングステン (W) の様に、後に形成するハードマスクとの間に高選択比のとれるエッチングが可能なものがよい。

## 【0054】

ここで注意しなければならないのは、ゲート絶縁膜 409 と導電性膜 410 の膜厚についてである。後述するが、本実施例に於いては、ゲート絶縁膜 409 と導電性膜 410 を貫通させて半導体膜 408 に不純物を添加する。このため、ゲート絶縁膜 409 と導電性膜 410 が積層された領域を不純物が貫通できる程度の膜厚以下になるように、且つゲート酸化膜 409 の膜厚が所望の TFT 特性が得られるようなものであるように考慮しなければならない。

## 【0055】

次に、導電性膜 410 の上にハードマスクを形成する。導電性膜 410 の上に膜厚 1 μm の酸化珪素膜を成膜した後、パターニングして加工し、ハードマスク 411 とする。ハードマスク 411 は側壁が 45° の傾斜角をもち、また導電性膜 410 上に、島状に存在するように形成する。また後述するが、本発明においては、ハードマスクのエッチングによる後退量が LDD 長となる。また後退後のハードマスクを不純物添加のマスクとして用い、さらにゲート電極形成用のマスクともなる。この為ハードマスク 411 の膜厚は、所望の LDD 寸法と不純物添加のマスクとして必要な膜厚の和以上でなければならない。つまり、ハードマスク 411 のチャネル長方向の断面において、側壁に傾斜がついた台形状の断面形状の底辺の長さは、「チャネル長」と「LDD 長の 2 倍」の和で定められる寸法となるようにする。



## 【0056】

次に p チャネル型 T F T となる領域をレジスト 412 でマスクする。そしてハードマスク 411 をマスクとして、導電性膜 410 およびゲート絶縁膜 409 を貫通させ、n チャネル型 T F T となる領域の半導体膜 408 に n 型不純物である燐を  $1 \times 10^{20} / \text{cm}^3$  の濃度になるように添加し、ソース（或いはドレイン）413 を形成する。本実施例では n 型不純物として燐を添加しているが、n 型不純物であれば燐以外のものを用いてもよい。不純物添加後はレジスト 412 を除去する。

## 【0057】

さらに n チャネル型 T F T となる領域をレジスト 414 でマスクする。そしてハードマスク 411 をマスクとして、導電性膜 410 およびゲート絶縁膜 409 を貫通させ、n チャネル型 T F T となる領域の半導体膜 408 に p 型不純物であるボロンを  $1 \times 10^{20} / \text{cm}^3$  の濃度になるように添加し、ソース（或いはドレイン）415 を形成する。本実施例では p 型不純物としてボロンを添加しているが、p 型不純物であればボロン以外のものを用いてもよい。不純物添加後はレジスト 414 を除去する。

## 【0058】

次に、ハードマスク 411 を、トリフロロメタン ( $\text{CHF}_3$ ) ガスを用いてエッチングして後退させ、ハードマスク 416 を形成する。ハードマスク 411 は側壁が  $45^\circ$  の傾斜角をもつように形成されているため、本実施例では、乾式方法による垂直方向を主体とした異方性エッチングにより、ハードマスク 411 を後退させた。また本実施例では、LDD 長を  $0.5 \mu\text{m}$  とするため、後退量が  $0.5 \mu\text{m}$  となるようにしている。

## 【0059】

次に p チャネル型 T F T となる領域をレジスト 417 でマスクする。そしてハードマスク 416 をマスクとして、導電性膜 410 およびゲート絶縁膜 409 を貫通させ、n チャネル型 T F T となる領域の半導体膜 408 に n 型不純物である燐を  $1 \times 10^{17} / \text{cm}^3$  の濃度になるように添加し、LDD 418 を形成する。LDD 418 を形成するために添加する n 型不純物濃度は、先に添加したソ

ース（或いはドレイン）413を形成するのに必要なn型不純物濃度と比較して、非常に低濃度である。このためソース（或いはドレイン）413に再びn型不純物が添加されても特に問題はなく、予めソース（或いはドレイン）413形成用の不純物添加がされていなかった領域がLDD418となる。本実施例ではn型不純物として燐を添加しているが、n型不純物であれば燐以外のものを用いてもよい。不純物添加後はレジスト417を除去する。

#### 【0060】

さらにnチャネル型TF Tとなる領域をレジスト419でマスクする。そしてハードマスク416をマスクとして、導電性膜410およびゲート絶縁膜409を貫通させ、nチャネル型TF Tとなる領域の半導体膜408にp型不純物であるボロンを $1 \times 10^{17} / \text{cm}^3$ の濃度になるように添加し、LDD420を形成する。LDD420を形成するために添加するp型不純物濃度は、先に添加したソース（或いはドレイン）415を形成するのに必要なp型不純物濃度と比較して、非常に低濃度である。このためソース（或いはドレイン）415に再びp型不純物が添加されても特に問題はなく、予めソース（或いはドレイン）415形成用の不純物添加がされていなかった領域がLDD420となる。本実施例ではp型不純物としてボロンを添加しているが、p型不純物であればボロン以外のものを用いてもよい。不純物添加後はレジスト419を除去する。

#### 【0061】

次に、ハードマスク416をマスクとして、六フッ化硫黄（ $\text{SF}_6$ ）ガスと塩素（ $\text{Cl}_2$ ）ガスの混合ガスを用いて導電性膜410を選択的にエッチングし、ゲート電極421を形成する。従って、ハードマスク416の寸法がそのままゲート電極の寸法となり、TF Tのチャネル長を決めるものとなる。本実施例では、ハードマスク416の形状に従って、チャネル長が $1 \mu\text{m}$ となる。これは本実施例では、ハードマスク416のチャネル方向の断面における横方向の寸法が $1 \mu\text{m}$ となるように、予めハードマスク411の水平方向の後退量等を考慮して、ハードマスク411をパターニングしている為である。

#### 【0062】

以上のようにして、LDD構造のnチャネル型TF Tおよびpチャネル型

TFTを形成する。但し、nチャネル型TFTへの不純物添加とpチャネル型TFTへの不純物添加の順は前後しても構わない。

#### 【0063】

本実施例では、ゲート電極421を形成後ハードマスク416は除去せず、そのまま層間絶縁膜の一部として使用する。ゲート電極421形成後のハードマスク416の膜厚は、後のコンタクト開孔において、ソース（或いはドレイン）部のコンタクト開孔とゲート電極部のコンタクト開孔が一括して行えるよう、ゲート絶縁膜409と同程度の膜厚となっていることが好ましい。

#### 【0064】

ゲート電極421の上方に、層間絶縁膜を形成する。層間絶縁膜としては酸化珪素膜や窒化珪素膜等の絶縁膜を単層膜、或いは積層膜として用いる。また塗布ガラスなどを用いて基板表面の平坦化をしてもよい。本実施例では、膜厚100nmの窒化珪素膜を成膜して層間絶縁膜422を形成する。

#### 【0065】

また、添加した不純物を活性化するための熱処理を行う。熱処理は層間絶縁膜の形成前でも、形成後でも構わない。積層膜である場合は、各々の層間絶縁膜の成膜する間に行っても構わない。本実施例では、ゲート電極421の形成後、ゲート電極が酸化しないよう、窒素雰囲気中で550℃、4時間の熱処理を行って活性化している。熱処理後、410℃、1時間の水素化処理を行う。水素化処理は、後に形成する配線材料が耐えうる温度以下で行うのであれば、配線形成後でも構わない。

#### 【0066】

さらに、コンタクトホールを形成し、ゲート電極やソース（或いはドレイン）と電氣的に接続するための配線423を形成する。本実施例では、配線は膜厚60nmのTi膜を成膜後、膜厚40nmのTiN膜を積層成膜し、さらに膜厚350nmのAl-Si（2wt%のSiを含有したAl）膜を積層成膜して、最後にTi膜を成膜した積層膜をフォトリソおよびエッチングにより所望の形状にしたものを配線423としている。

#### 【0067】

さらに本発明では、配線 423 の上に層間絶縁膜 424 を形成し、コンタクトホール開孔をした後、配線 425 を形成する。これによりゲート電極に接続する配線群とソース（或いはドレイン）と接続する配線群とを異なる層で引き回しでき、配線の引き回しの自由度が上がる。また、さらに層間絶縁膜の形成、配線の形成を繰り返し行い、多層配線を形成してもよい。

#### 【0068】

以上のような工程を経て、論理演算回路を作製することができる。

#### 【0069】

##### [実施例 2]

実施例 1 では、側壁が  $45^\circ$  の傾斜角をもったハードマスクを用いているが、側壁が円弧状になった形状をもつハードマスクを用いることも可能である。この場合、実施例 1 と比較して工程数が増えるものの、実施例 1 のような形状を作り込むことが困難である場合に、有効な手段となる。また、ハードマスクを後退させる時のエッチングにも、等方性エッチング、垂直方向又は水平方向を主体とした異方性エッチングのいずれの方法も適用可能である。本実施例では、側壁が円弧状であるハードマスクを用いて作製する論理演算回路の作製方法について図 7 を用いて説明する。

#### 【0070】

本実施例の回路の作製方法は、実施例 1 と比較してハードマスクの形成方法が異なるのみで、他の工程は実施例 1 と同様である。従って、ハードマスクの形成方法についてのみ記述し、それ以外の工程については実施例 1 を参照するものとする。

#### 【0071】

実施例 1 の方法に従って導電成膜まで形成した基板に膜厚  $1\ \mu\text{m}$  の酸化珪素膜を成膜した後、パターンニングして加工し、ハードマスク 501 を形成する。この時ハードマスク 501 は側面が基板平面に対してほぼ垂直な形状をしている。

#### 【0072】

次に、ハードマスク 501 を覆うように段差被覆性のよい酸化珪素膜 502 を  $500\ \text{nm}$  の膜厚で成膜した後、さらに垂直方向を主体とした異方性エッチ

ングにより、約 500 nm エッチングして加工し、ハードマスク 501 の側壁に円弧状の壁となるサイドウォール 503 を形成する。ハードマスク 501 とサイドウォール 503 を総括したものをハードマスク 504 とする。このようにして形成されたハードマスク 504 が実施例 1 におけるハードマスク 411 に相当する。

#### 【0073】

ここで、サイドウォール 503 は異方性エッチングによって形成されているが、このとき、導電成膜は基板全面についた状態であり表面積が非常に大きい。そのため、異方性エッチング中に導電成膜に蓄積される電荷密度は小さくプラズマによるダメージを極力低くできることも、本実施例における特徴である。

#### 【0074】

ハードマスク 504 の形成後の工程は、実施例 1 におけるハードマスク 411 形成後の工程と同一であるため、ここでは省略する。

#### 【0075】

以上のような工程を経て、論理演算回路を作製することができる。

#### 【0076】

##### [実施例 3]

本実施例では、ゲート電極上のハードマスクにコンタクトホールを形成することなくゲート電極に配線を接続する方法を用いた本発明における半導体装置の作製方法について、図 8 を用いて説明する。この方法を用いることにより、ゲート電極の層間絶縁膜を開孔してコンタクトホールを形成する際、ゲート電極も同時にエッチングしてしまうことを回避できる。

#### 【0077】

図 8 (A) は各々の TFT の上面図、図 8 (B) はチャネル長方向 (A-A') の断面図、図 8 (C) 、チャネル幅方向 (B-B') の断面図である。

#### 【0078】

本実施例では、p チャネル型 TFT の LDD 420 を形成し、その後レジスト 419 を除去するまでは、実施例 1 と同一工程で行う。従って、ここまでの工程の詳細に関する説明を省略する。

**【0079】**

nチャネル型TFT及びpチャネル型TFTの各々のLDDまで形成した後、パターニング及びエッチングにより、ソース（或いはドレイン）部にゲート電極604およびゲート絶縁膜607を貫通するコンタクトホール601を形成する。

**【0080】**

次に、基板表面を覆うようにタングステン（W）を膜厚100nmで成膜した後パターニングし、Wを選択的にエッチングして加工し、ゲート電極と配線とを接続するためのWの接続層602と、ソース（或いはドレイン）と配線とを接続するためのWの接続層603を形成する。

**【0081】**

さらに、ハードマスク及びWの接続層602、603をマスクとしてTaNを選択的にエッチングしてゲート電極604を形成する。

**【0082】**

ゲート電極604を形成した後、層間絶縁膜（図示しない）を形成し、接続層602、603に配線（図示しない）を接続するためのコンタクトホールを開孔した後、配線（図示しない）を形成する。また、適宜、活性化、水素化を行う。

**【0083】**

このような方法を用いることにより、薄いゲート電極上にコンタクト開孔をするといった難しい工程を回避した、半導体装置を作製できる。

**【0084】**

また上記のような方法を用いる場合、実施例1に記載したようなハードマスク416の膜厚を、後のコンタクト開孔において、ソース（或いはドレイン）部のコンタクト開孔とゲート電極部のコンタクト開孔が一括して行えるよう、ゲート絶縁膜409と同程度の膜厚といった考慮をする必要がないという利点も生じる。

**【0085】**

接続層602、603を形成した後、RTA（Rapid Thermal Annealing）を行う。

l Anneal) を用いて、接続層 602、603 と半導体膜の接触部、及びゲート電極 604 とゲート酸化膜の接触部を局所的に加熱し、不純物の活性化やゲート酸化膜中の欠陥修復を行うことも有効である。本実施例では、タングステンハロゲンランプを光源とした R T A 装置を用いている。この他、金属の吸収係数が高い赤外領域の発光をもつ光源を使用して加熱する装置を用いることが好ましい。

#### 【0086】

また接続層 602、603 に関して、本実施例では膜厚 100 nm のタングステンを用いているが、例えば膜厚 500 nm 以上のタングステンを接続層 602、603 として用い、配線として利用してもよい。

#### 【0087】

##### [実施例 4]

本実施例では、本発明の半導体装置の作製方法を用いて作製した L D D 構造の T F T を用いた論理演算回路と、液晶表示装置等を作成するのに必要な画素 T F T と駆動回路用の T F T とを同一基板上に作製する方法について図 9 ~ 12 を用いて説明する。これにより、同一基板上に C P U ( C e n t r a l P r o c e s s i n g U n i t ) が組み込まれた周辺回路と、ディスプレイとが一体化したシステムオンパネル等が作製できる。

#### 【0088】

本実施例では、論理演算回路用としてチャネル長  $1 \mu\text{m}$ 、L D D 長  $0.5 \mu\text{m}$  の L D D 構造 T F T (以下論理演算回路用 T F T と略記)、液晶表示装置の画素駆動用としてチャネル長  $4.5 \mu\text{m}$ 、L D D 長  $2 \mu\text{m}$  の L D D 構造 T F T (以下、画素 T F T と略記)、液晶表示装置用の駆動回路として、チャネル長  $8 \mu\text{m}$ 、G a t e O v e r l a p e d L D D 長が  $2 \mu\text{m}$  の T F T (以下、駆動回路用 T F T と略記) を同一基板上に形成する。

#### 【0089】

本実施例では、L D D 長が異なる T F T を同一基板上に形成する。このため、L D D 長が異なるそれぞれの T F T に適したハードマスクの作り分けをする。まず実施例 1 に記述した方法に従って、基板 701 上に下地絶縁膜 702、所

望の形状の半導体膜 703、ゲート絶縁膜 704、導電性膜 705 を形成し、さらに導電性膜 705 の上に、ハードマスクを形成するための窒化珪素膜 1001 を膜厚  $1\ \mu\text{m}$  で成膜する。この場合、膜厚は、エッチングによる後退量が多い方のハードマスクに併せて膜厚を決める。

#### 【0090】

次に論理演算回路用 T F T 形成用の 1002 を形成する。パターニングした後、窒化珪素膜を選択的にエッチングし、側壁が  $45^\circ$  の傾斜角をもち、またチャネル方向の断面において底辺が  $12\ \mu\text{m}$  の台形の断面形状をしたハードマスク 706 と、側壁が  $45^\circ$  の傾斜角をもち、またチャネル方向の断面において底辺が  $2\ \mu\text{m}$  の台形の断面形状をしたハードマスク 1002 を同時に形成する。この時、画素 T F T 形成用のハードマスクは次工程で形成するため、画素 T F T となる領域はレジストマスクでマスクされている。

#### 【0091】

次に駆動回路用 T F T 形成用のハードマスク 706 と、画素 T F T 形成用のハードマスク 1003 を形成する。パターニングした後、パターニングした後、窒化珪素膜を選択的にエッチングし、側壁が  $30^\circ$  の傾斜角をもち、またチャネル方向の断面において底辺が  $8.5\ \mu\text{m}$  の台形の断面形状をしたハードマスク 1003 を形成する。この時、駆動回路用 T F T と論理演算回路用 T F T になる領域はレジストでマスクされている。

#### 【0092】

ここで、ハードマスク 706 とハードマスク 1003 は同一の形状をしているが、適宜作り分けすることも可能である。ここでは、工程簡略化のため、同一形状に作り込むものとする。またハードマスクの形成順は前後しても構わない。

#### 【0093】

次に、駆動回路用 T F T および論理演算回路用 T F T のうち p チャネル型 T F T となる領域をレジストでマスクする。さらにハードマスク 706、1002、1003 をマスクとして、ゲート絶縁膜 704 及び導電性膜 705 を貫通させて半導体膜に  $1 \times 10^{20} / \text{cm}^3$  の燐を添加し、駆動用回路 T F T、論理演算回路用 T F T、画素 T F T のうち n チャネル型 T F T のソース（或いはドレイン



) 707を形成する。本実施例では燐を用いているが、n型不純物であればこれ以外でもよい。

#### 【0094】

次に、駆動回路用TF T、画素TF Tおよび論理演算回路用TF Tのうちnチャネル型TF Tとなる領域をレジストでマスクする。さらにハードマスク706、1002をマスクとして、ゲート絶縁膜704及び導電性膜705を貫通させて半導体膜に $1 \times 10^{20} / \text{cm}^3$ のボロンを添加し、駆動用回路TF T、論理演算回路用TF Tのうちpチャネル型TF Tのソース（或いはドレイン）709を形成する。本実施例ではボロンを用いているが、p型不純物であればこれ以外でもよい。

#### 【0095】

次に、ハードマスク1002を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、垂直方向に $0.5 \mu\text{m}$ 後退させハードマスク711を形成する。これによりハードマスク1002は水平方向に $0.5 \mu\text{m}$ 後退する。従って、ハードマスク1002を用いてLDD形成するTF TではLDD長が $0.5 \mu\text{m}$ となる。この間、駆動回路用TF T、画素TF Tはレジストでマスクされている。

#### 【0096】

次に、ハードマスク706とハードマスク1003を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、垂直方向に $0.85 \mu\text{m}$ 後退させハードマスク1105、1004を形成する。これによりハードマスク706、1003は水平方向に $1.5 \mu\text{m}$ 後退する。従って、ハードマスク706とハードマスク1003を用いてLDD形成するTF TではLDD長が $1.5 \mu\text{m}$ となる。この間、駆動回路用TF Tおよび論理演算回路用TF Tはレジストでマスクされている。

#### 【0097】

以上のように、ハードマスクの「側壁の傾斜角」と「エッチングによる後退量」を巧みに変えることにより、LDD長を変えてTF Tを作製できる。また、必要に応じて、ハードマスク1002とハードマスク706、ハードマスク1

003の膜厚が異なるような形状に作り込んだのち、エッチングによる後退を行い、LDD長を調整しても構わない。

#### 【0098】

次に、駆動回路用TFETのpチャネル型TFETおよび論理演算回路用TFETのうちpチャネル型TFETとなる領域をレジストでマスクする。さらにハードマスク1105、1004、711をマスクとして、ゲート絶縁膜704及び導電性膜705を貫通させて半導体膜に $1 \times 10^{17} / \text{cm}^3$ の燐を添加し、論理演算回路用TFET、画素TFETのうちnチャネル型TFETのLDD1005を形成する。本実施例では燐を用いているが、n型不純物であればこれ以外でもよい。

#### 【0099】

次に、駆動回路用TFETのnチャネル型TFETおよび画素TFET、論理演算回路用TFETのうちnチャネル型TFETとなる領域をレジストでマスクする。さらにハードマスク1105、1004、711をマスクとして、ゲート絶縁膜704及び導電性膜705を貫通させて半導体膜に $1 \times 10^{17} / \text{cm}^3$ のボロンを添加し、論理演算回路用TFET、画素TFETのうちpチャネル型TFETのLDD1006を形成する。本実施例ではボロンを用いているが、p型不純物であればこれ以外でもよい。

#### 【0100】

次に、実施例3でも述べた方法を用いて、タングステンの接続層953を形成する。まずパターニング及びエッチングによりソース（或いはドレイン）707、709にコンタクトホールを形成する。次に膜厚100nmのタングステンを成膜した後、さらにパターニングおよび選択的にエッチングしてタングステンの接続層953を形成する。

#### 【0101】

このとき、駆動回路用TFETのLDD1005、1006とオーバーラップする領域の導電性膜705上にも接続層953を形成する。このようにして形成される接続層953は駆動回路用TFETのハードマスク1105全体を覆うようにして形成しても構わない。

#### 【0102】

次に、ハードマスク 706, 711, 1004 および接続層 953 をマスクとして導電性膜 705 を選択的にエッチングし、ゲート電極 720 を形成する。

#### 【0103】

このようにして駆動回路用 TFT のゲート電極 720 の上に形成された接続層 953 は、駆動回路用 TFT のゲート電極の一部としても機能する。また、LDD 1005、1006 は、ゲート電極 720 とオーバーラップするため、それぞれ Gate Overlapped LDD 1007, 1008 となる。

#### 【0104】

上記のように、駆動回路用 TFT ではレジストマスクを用いたパターンニングにより、Gate Overlapped LDD を形成する。これは、本発明に於ける駆動回路用 TFT では、16 V 程度の電圧が印加されることを前提としており、この場合にホットキャリアに対する信頼性を確保するには約 1.5 ~ 2  $\mu\text{m}$  の Gate Overlapped LDD 長が必要となるためである。約 1.5 ~ 2  $\mu\text{m}$  という寸法は、パターンニングのアライメント精度（一般的にはステッパーでは  $\pm 0.2 \mu\text{m}$ 、ミラープロジェクションアライナーでは  $\pm 0.5 \mu\text{m}$ ）の精度よりも遥かに大きいサイズであるため、アライメント精度からの影響は殆ど無視できる。

#### 【0105】

さらに層間絶縁膜 727 の形成、不純物の活性化、水素化、コンタクトホールの開孔を行う。本実施例では窒化珪素膜 727a と塗布により形成した酸化珪素膜 727b を積層したものを層間絶縁膜 727 としている。ここで塗布による形成を行うのは、基板表面の凹凸を平坦化するためである。

#### 【0106】

次に配線 728 を形成し、さらに画素電極 729 を形成する。画素電極には ITO (Indium Tin Oxide) 等の透明導電膜を用いる。ゲート電極に接続する配線はここでは図示しない。

#### 【0107】

本実施例では、画素電極 729 と配線 728 とが積層した領域を設け、コンタクトホール形成を行うことなく、画素電極 729 と配線 728 とが直接電氣的

な接続をしている。

#### 【0108】

以上のような工程を経て、論理回路用 T F T、画素 T F T、駆動回路用 T F T を同一基板上有する T F T アレイ基板を作製する。本実施例では述べていないが必要に応じて洗浄及び熱処理の工程を加える。また、本実施例に示した以上に、さらに層間絶縁膜の形成、配線の形成を繰り返し行い多層配線を形成してもよい。

#### 【0109】

##### [実施例 5]

実施例 4 で作製した T F T アレイ基板を用いることにより、同一基板上に C P U ( C e n t r a l P r o c e s s i n g U n i t ) が組み込まれた周辺回路と、ディスプレイとが一体化した液晶表示装置が作製できる。これにより、液晶表示装置の多機能化、コンパクト化ができる。以下、図 13、14 を用いて説明する。

#### 【0110】

実施例 4 に従い作製した T F T アレイ基板 801 の T F T を形成した側に配向膜 802a を形成する。配向膜 802a の形成はオフセット印刷法を用いる。配向膜 802a の材料にはポリイミド樹脂を用いるが、この他、ポリアミック系樹脂などを用いてもよい。次に配向膜 802a にラビング処理を施し、液晶分子がある一定のプレチルト角をもって配向するようにする。

#### 【0111】

次に対向基板 810 を作製する。基板 811 上に遮光膜 812 を形成する。遮光膜 812 は、金属クロムを成膜し、フォトリソおよびエッチングにより形成する。遮光膜 812 の上に画素電極 813 を形成する。画素電極 813 は透明導電膜である I T O を成膜し、フォトリソおよびエッチングにより形成する。遮光膜 812 と画素電極 813 の間にカラーフィルター 814 を設ける場合は、遮光膜 812 の上に目的の色の着色樹脂をスピンコート法により塗布し、露光および現像して形成する。赤、青、緑の三色のカラーフィルター 814a ~ 814c (ここでは図示しない)、各々に対して前記カラーフィルター形成工程を繰り返す

。カラーフィルター 814 と遮光膜 812 の段差を埋めて平坦化する目的の保護膜 815 を形成する。保護膜 815 はカラーフィルターの上からアクリルを塗布して形成する。アクリルの他に平坦化可能な材料を用いてもよい。カラーフィルターを設けない場合は保護膜 815 は無くてもよい。

#### 【0112】

このようにして作製した対向基板に配向膜 802b を形成する。TFT アレイ基板上に形成したときと同様に、配向膜 802b の形成はオフセット印刷法を用いる。配向膜 802b の材料にはポリイミド樹脂を用いるが、この他、ポリアミック系樹脂などを用いてもよい。次に配向膜 802b にラビング処理を施し、液晶分子がある一定のプレチルト角をもって配向するようにする。さらに対向基板と TFT アレイと接着するために、対向基板側にシール剤（図示しない）を塗布した後、対向基板 810 をオープンで加熱し前記シール剤を仮硬化させる。仮硬化後、対向基板の画素電極を形成した側にプラスチック球のスペーサー 816 を散布する。

#### 【0113】

TFT アレイ基板 801 の TFT を形成している側と対向基板 810 の画素電極を形成している側とが向き合うようにして、両基板を精度よく張り合わせ液晶パネル 817 を作製する。シール剤中にはフィラー（図示しない）が混入されており、フィラーとスペーサーにより両基板を均一な間隔をもって張り合わせることができる。

#### 【0114】

張り合わせた基板のうち不要な部分をせん断して、所望のサイズの液晶パネル 817 基板にする。液晶パネル 817 の内部に液晶材料 818 を注入する。パネル内部全体に液晶材料 818 を満たした後、封止剤（図示しない）によって完全に封止する。

#### 【0115】

図 14 は液晶パネル 817 の上面図である。画素部 901 の周辺に走査信号駆動回路 902a と画像信号駆動回路 902b が設けられている。さらに、CPU やメモリなどの論理演算回路 902c が設けられている。駆動回路は接続配線

群 903 によって外部入出力端子群 904 と接続されている。画素部 901 では走査信号駆動回路 802 a から延在するゲート配線群と画像信号駆動回路 902 b から延在するデータ配線群がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 T F T と保持容量、画素電極が設けられている。シール剤 905 は、T F T アレイ基板 908 上の画素部 901 および走査信号駆動回路 902 a、画像信号駆動回路 902 b、論理演算回路 902 c の外側であり、且つ外部入出力端子 904 よりも内側の部分に形成する。液晶パネル 817 の外側では、フレキシブルプリント配線板 (FPC: Flexible Printed Circuit) 909 が外部入出力端子 904 に接続しており、接続配線群 903 によりそれぞれの駆動回路に接続している。外部入出力端子 904 はデータ配線群と同じ導電性膜から形成される。フレキシブルプリント配線板 906 はポリイミドなどの有機樹脂フィルムに銅配線が形成されており、異方性導電性接着剤で外部入出力端子 904 と接続する。

#### 【0116】

液晶パネル 817 の対向基板側に、対向基板に最も近い液晶層の液晶分子のディレクタ方向と同じ方向の直線偏光が入射するように偏光板と位相差板を取り付ける。またパネルの T F T 基板側に、T F T 基板に最も近い液晶層の液晶分子のディレクタ方向と同じ方向の光が出射するように偏光板と位相差板を取り付ける。

#### 【0117】

以上のような方法で、同一基板上に C P U ( C e n t r a l P r o c e s s i n g U n i t ) が組み込まれた周辺回路と、ディスプレイとが一体化した液晶表示装置を作成する。本実施例では述べていないが必要に応じて洗浄及び熱処理の工程を加える。

#### 【0118】

##### [実施例 6]

本発明の半導体装置の作製方法を用いることにより、表示画面 (ディスプレイ) と C P U が組み込まれた周辺回路とが一体化したシステムオンパネルが作製できる。これにより、ディスプレイの生産や検査工程が短縮され低コスト化が

図れる。また、ディスプレイの多機能化、コンパクト化を実現できる。

#### 【0119】

図15に、本発明の半導体装置の作製方法を用いて作製したシステムオンパネルを搭載した電子機器の例を示す。

#### 【0120】

図16は、携帯情報端末の図であり、本体1431にはシステムオンパネル（表示部）1433と、外部インターフェイス1435と、操作ボタン1434等が設けられている。また操作用の付属品としてスタイラス1432がある。このように携帯情報端末にシステムオンパネル1433を搭載することにより、コンパクト機能性を維持したまま、さらに情報処理機能を多機能化することができる。

#### 【0121】

##### [実施例7]

本発明の半導体装置の作製方法は、TFTの作製工程だけでなくバルクのシリコンウエハやSOIウエハを用いて作製するMOSトランジスタの作製工程にも適用可能である。この場合について以下に説明する。

#### 【0122】

LOCOS (Local Oxidation of Silicon) やSTI (Shallow Trench Isolation) 等により素子分離したバルクのシリコンウエハ（或いは、SOIウエハ）上にゲート酸化膜を形成する。

#### 【0123】

ゲート絶縁膜形成後は、実施例1や実施例2、実施例3に於けるゲート絶縁膜409の形成以降の工程に従ってゲート電極、LDD、ソース（或いはドレイン）、層間絶縁膜、配線などを形成し、MOSトランジスタを作製する。

#### 【0124】

但し、ガラス基板を用いている実施例1と異なり耐熱性のあるバルクのシリコンウエハ（或いはSOIウエハ）を用いているため、実施例1よりも高温での熱処理が可能である。従って、活性化温度条件などは実施例1に記載した条件に限らず適宜変更すればよい。

## 【 0 1 2 5 】

## 【発明の効果】

本発明の半導体装置の作製方法を用いることにより、自己整合的であり、且つプラズマによる損傷を抑制した方法でLDD構造の素子を作製できる。このような作製方法は、特に自己整合的な方法によるLDDの形成が必要で、またゲート電極の表面積が小さくなることによってプラズマからの損傷がより大きくなるような微細化TFTの作製に有効である。また、本発明の半導体装置の作製方法は、TFTのみならずMOSトランジスタや、MOSトランジスタによって形成されるLSIの作製にも適用可能である。

## 【図面の簡単な説明】

【図 1】 従来技術におけるLDD形成工程の断面図。

【図 2】 本発明におけるLDD形成工程の断面図。

【図 3】 LDD構造TFT作製工程の断面図。

【図 4】 LDD構造TFT作製工程の断面図。

【図 5】 論理演算回路の作製工程の断面図。

【図 6】 論理演算回路の作製工程の断面図。

【図 7】 ハードマスク形成工程の断面図。

【図 8】 コンタクト部接続層形成工程の断面図。

【図 9】 論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図 1 0】 論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図 1 1】 論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図 1 2】 論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図 1 3】 液晶表示装置の一部の断面図。

【図 1 4】 液晶表示装置全体の上面図。

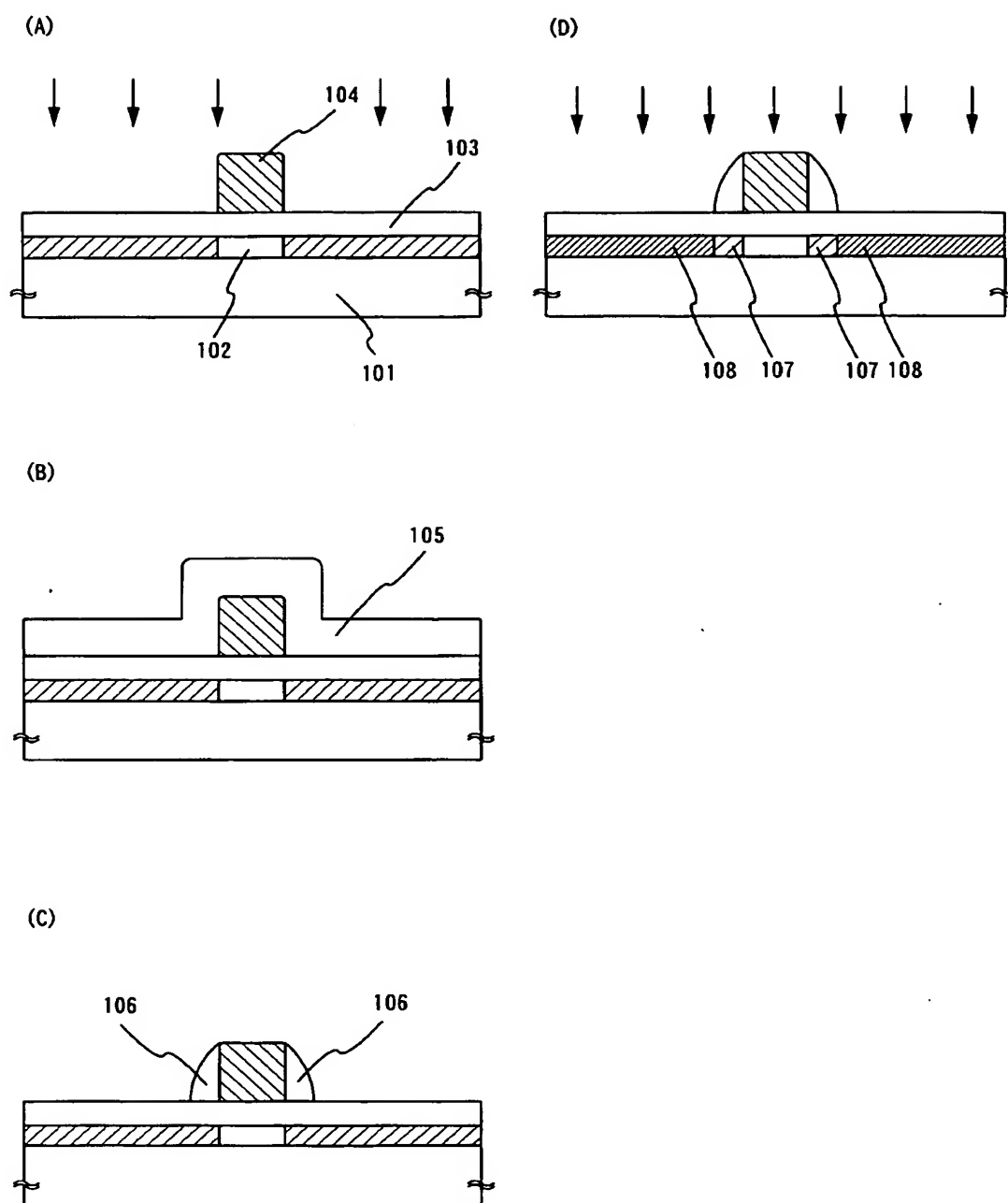
【図 1 5】 本発明の半導体装置の作製方法を用いた液晶表示装置を搭載した電子



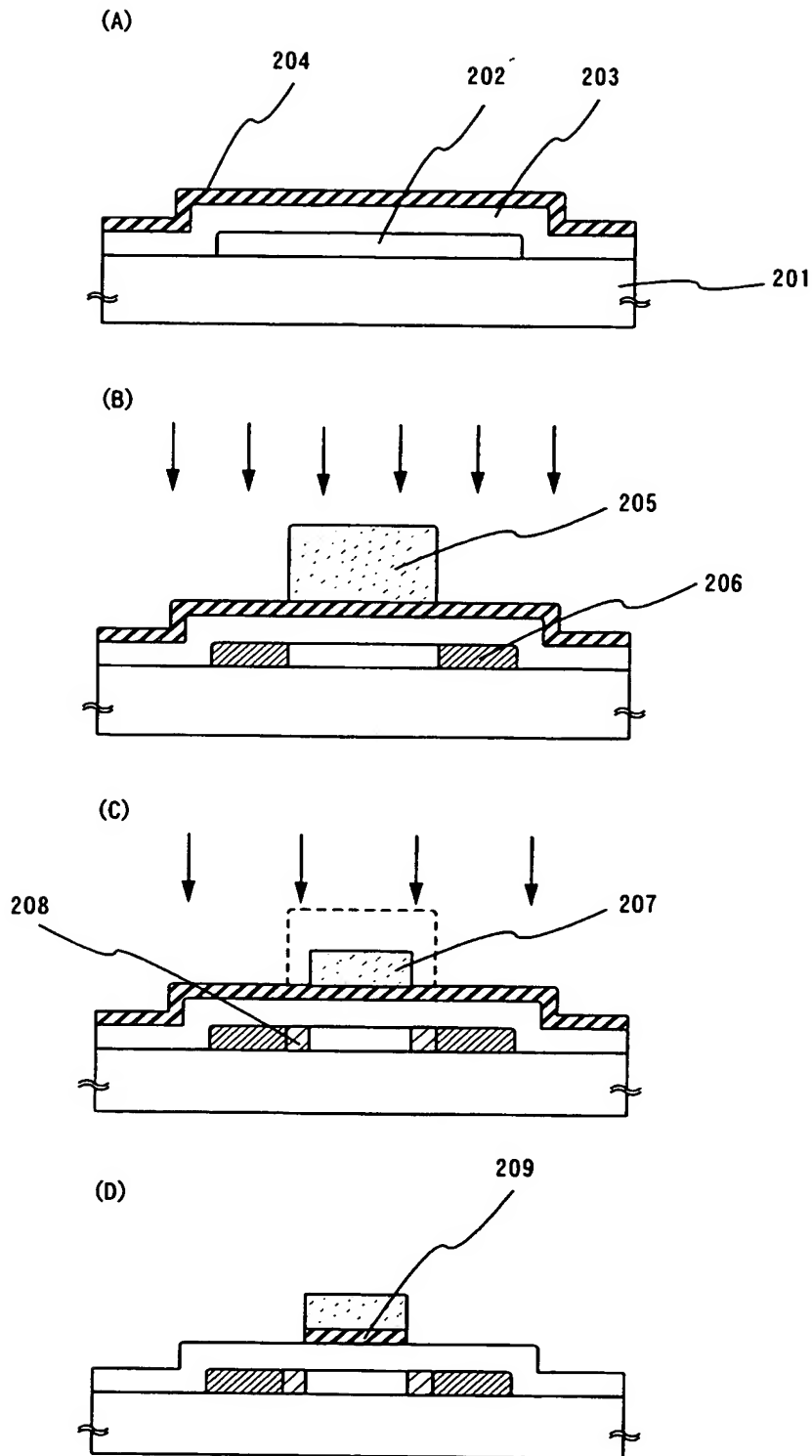
機器。

【書類名】 図面

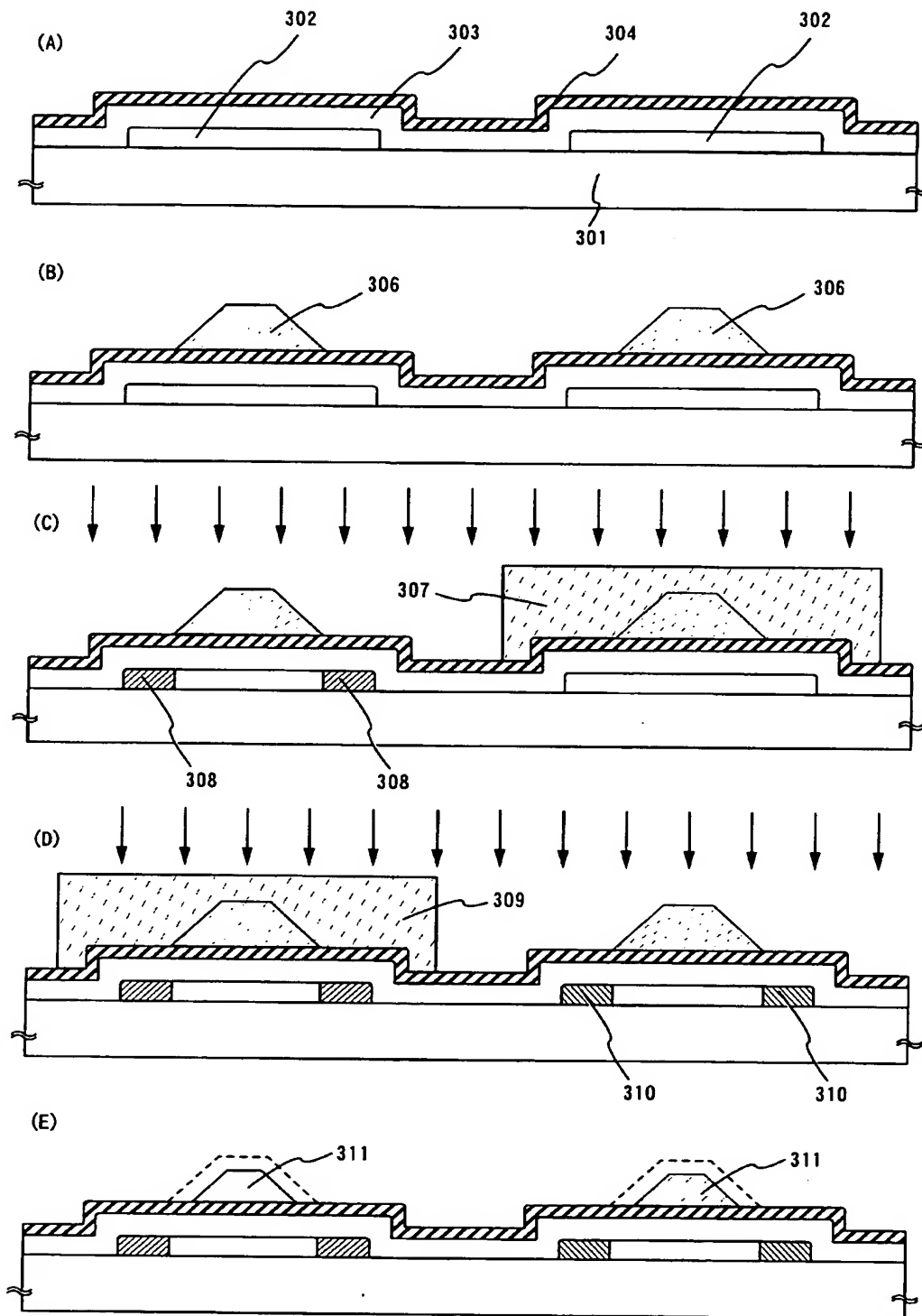
【図 1】



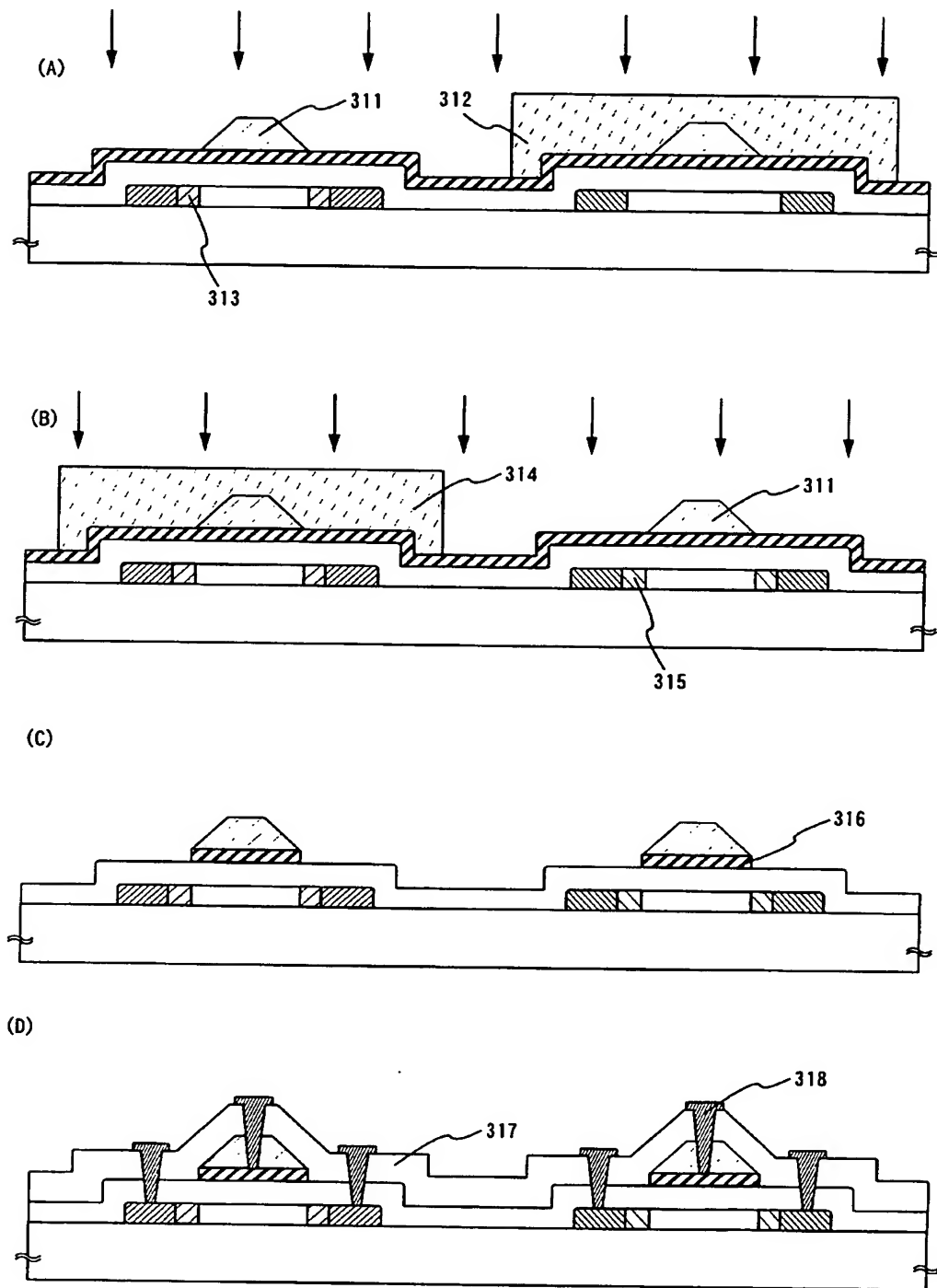
【図 2】



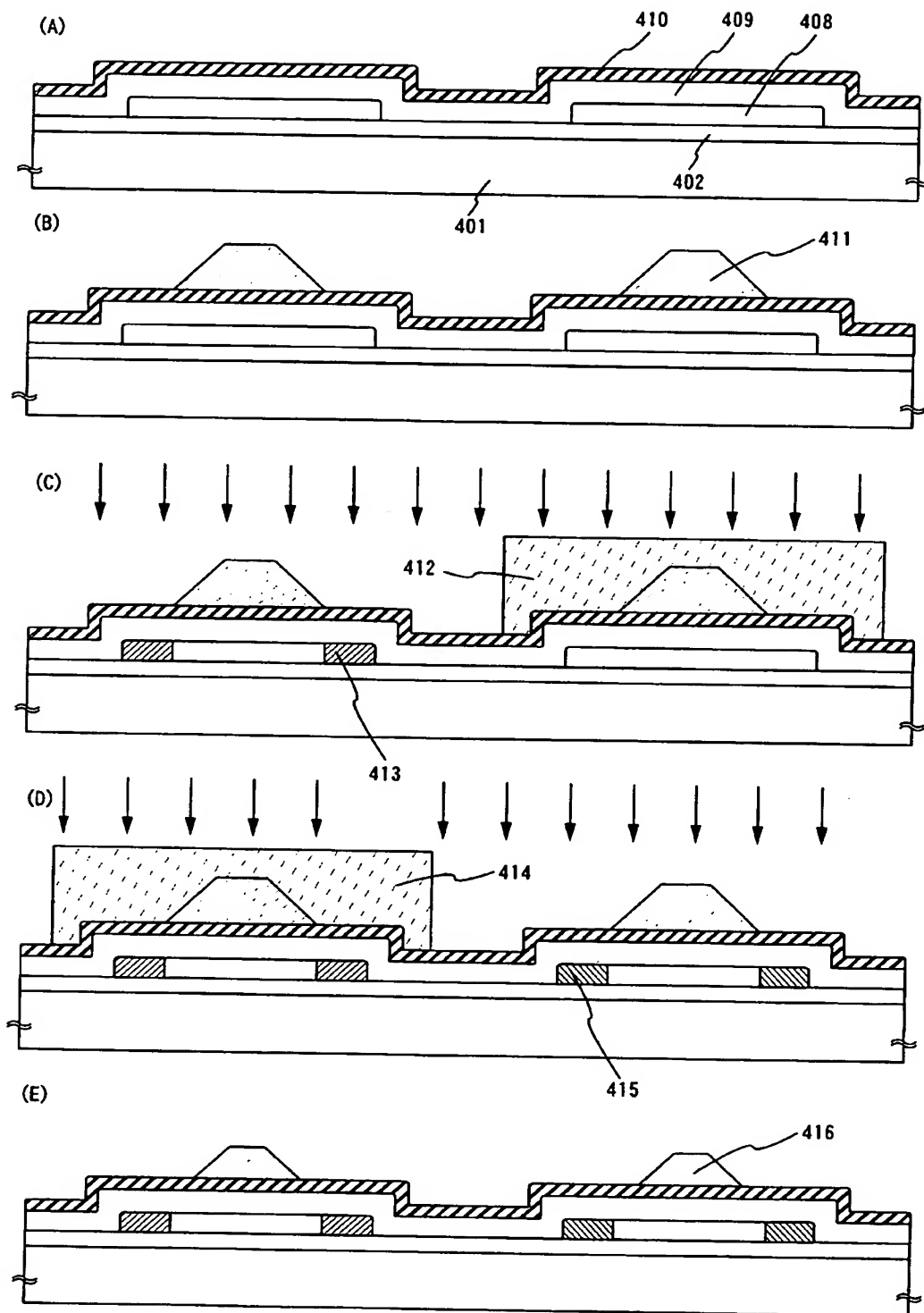
【図 3】



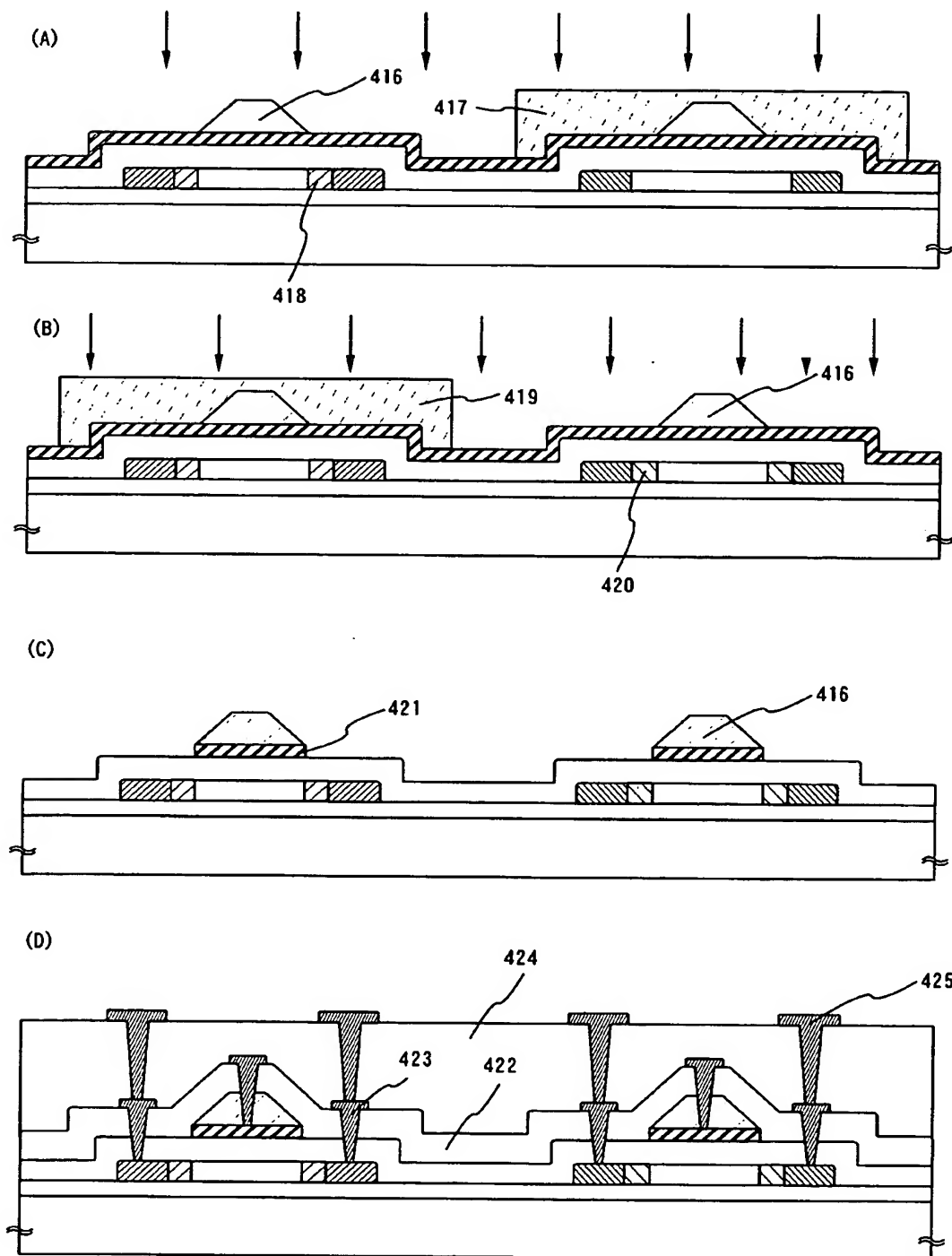
【図 4】



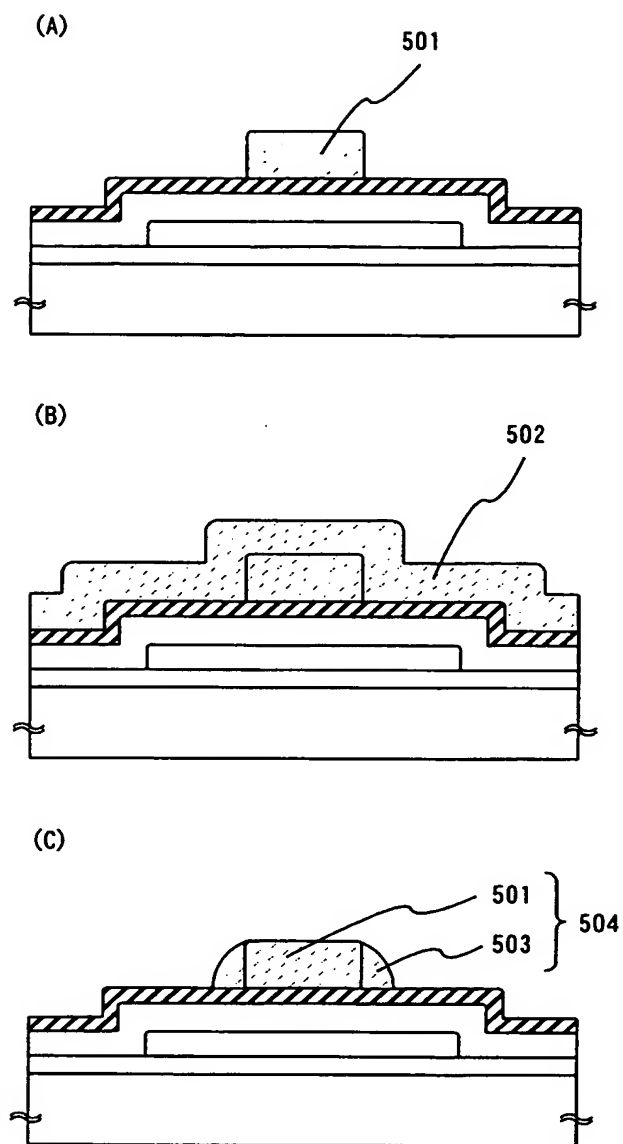
【図 5】



【図 6】

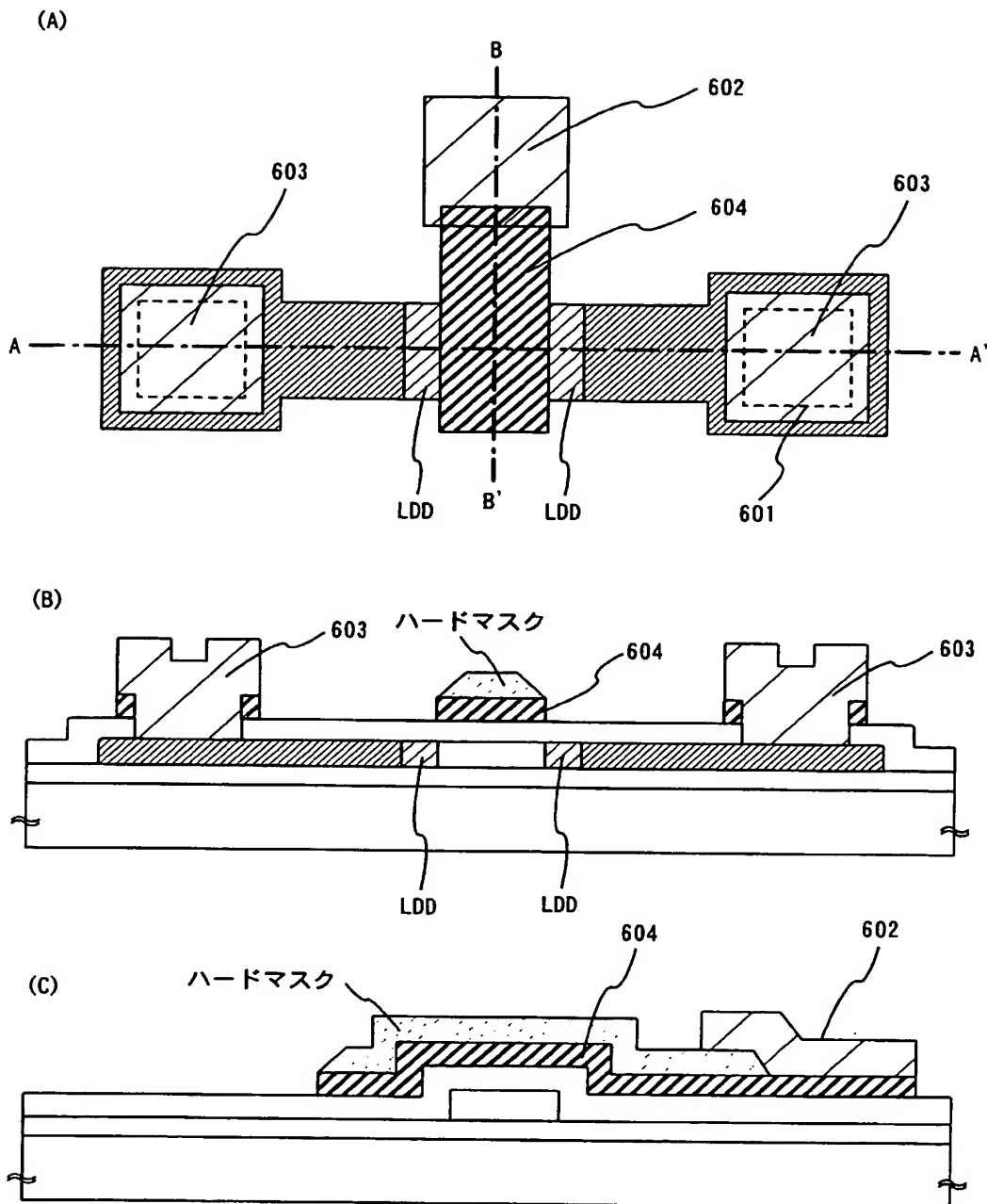


【図 7】

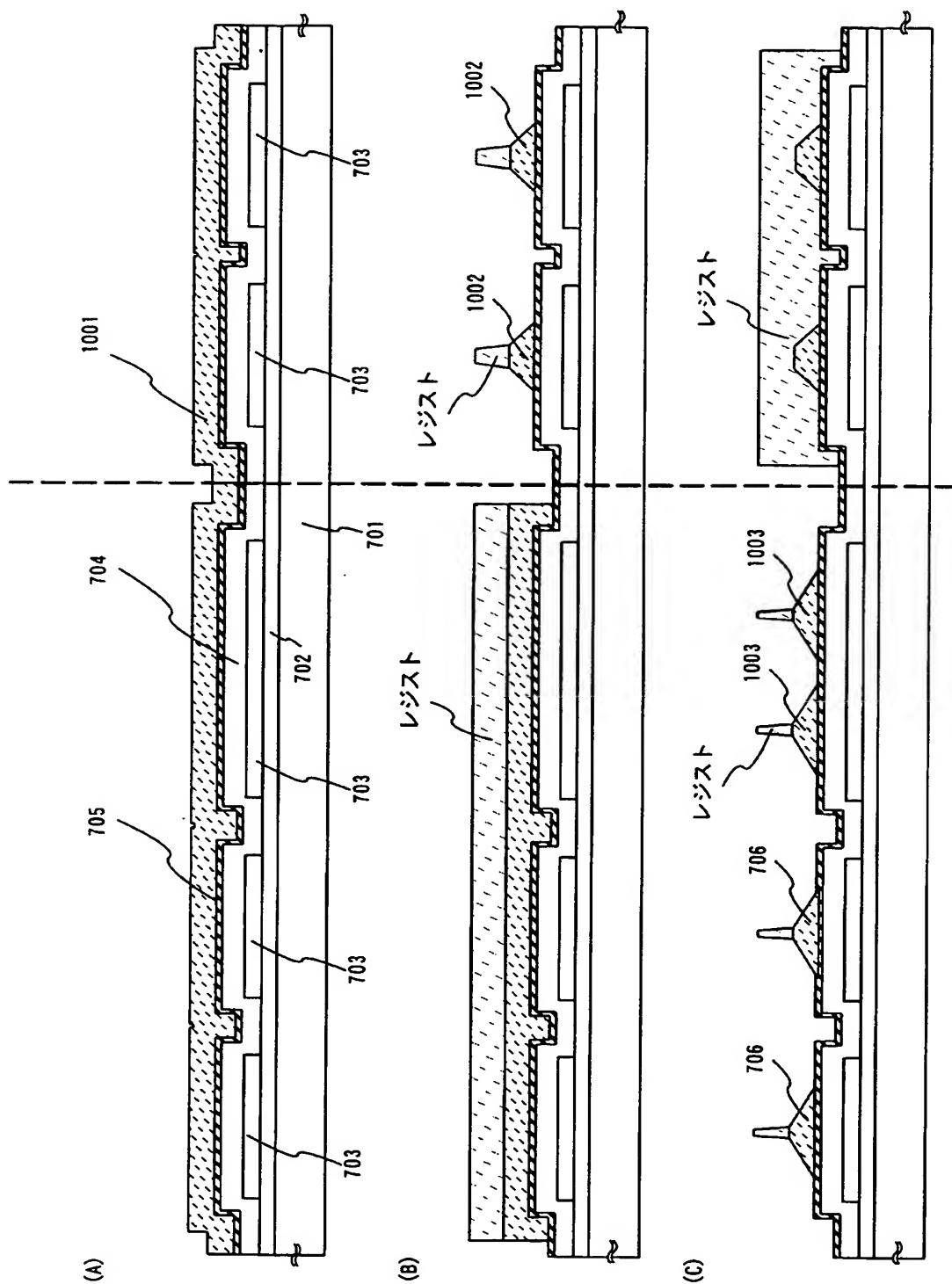




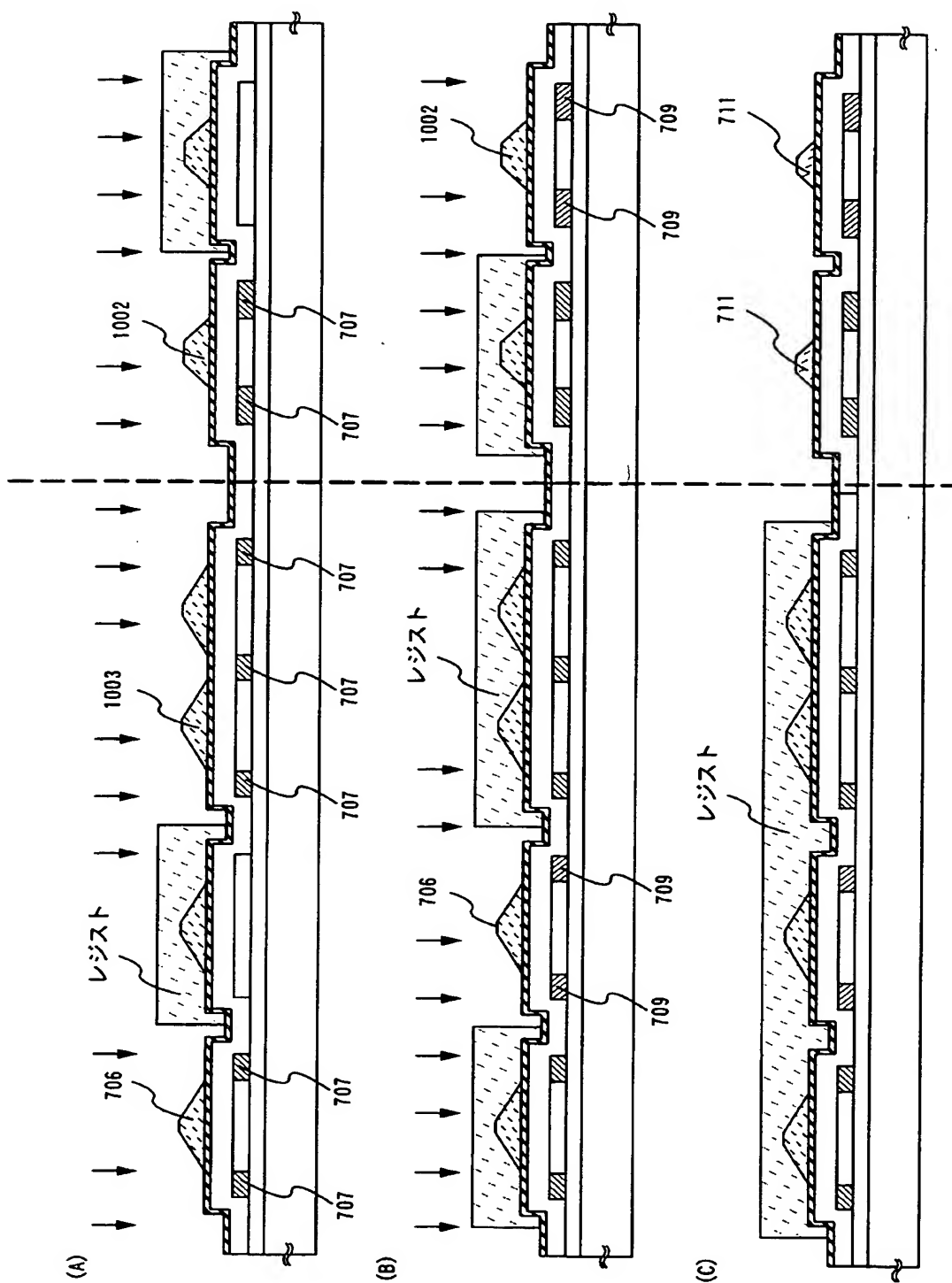
【図 8】



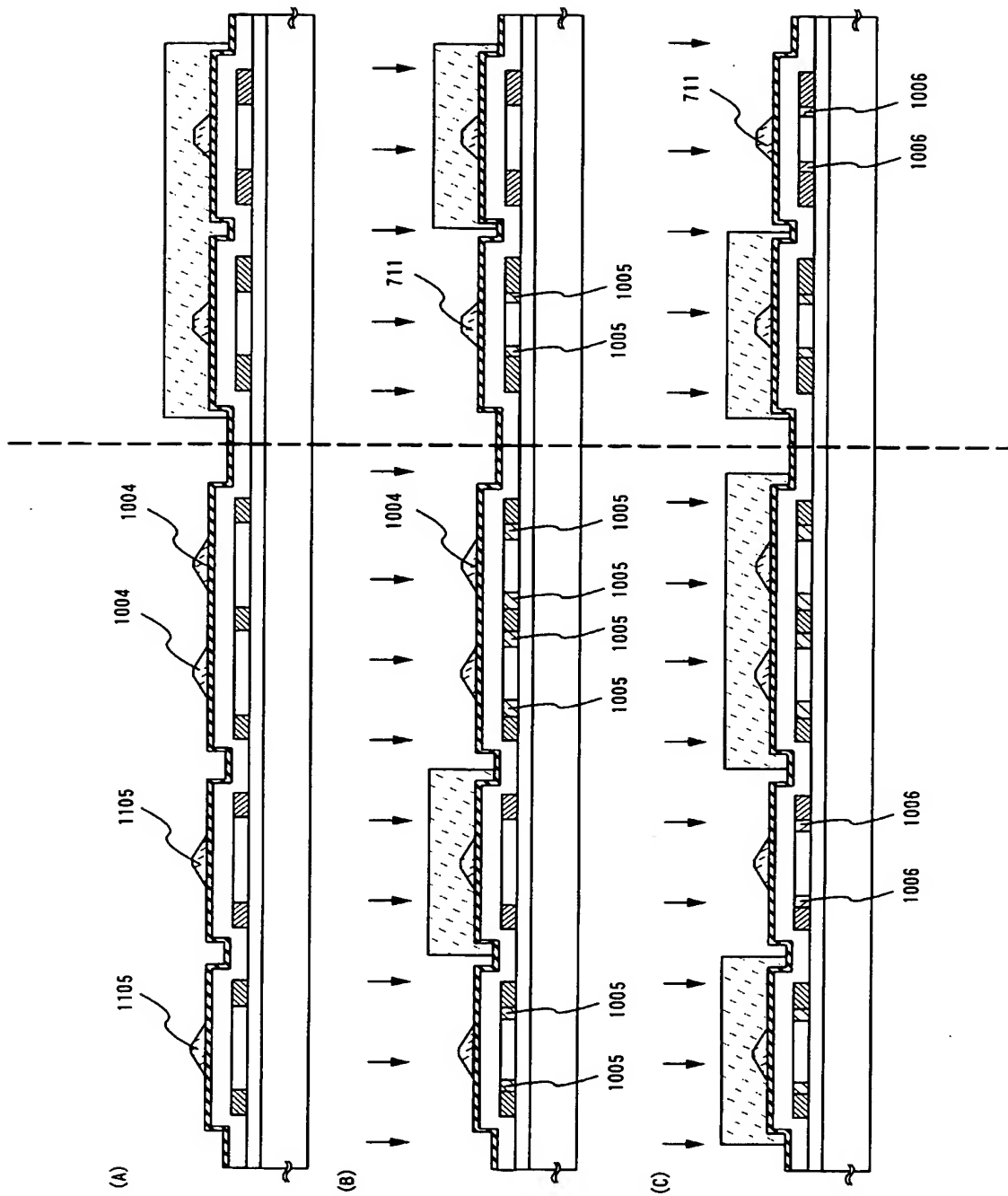
【図 9】



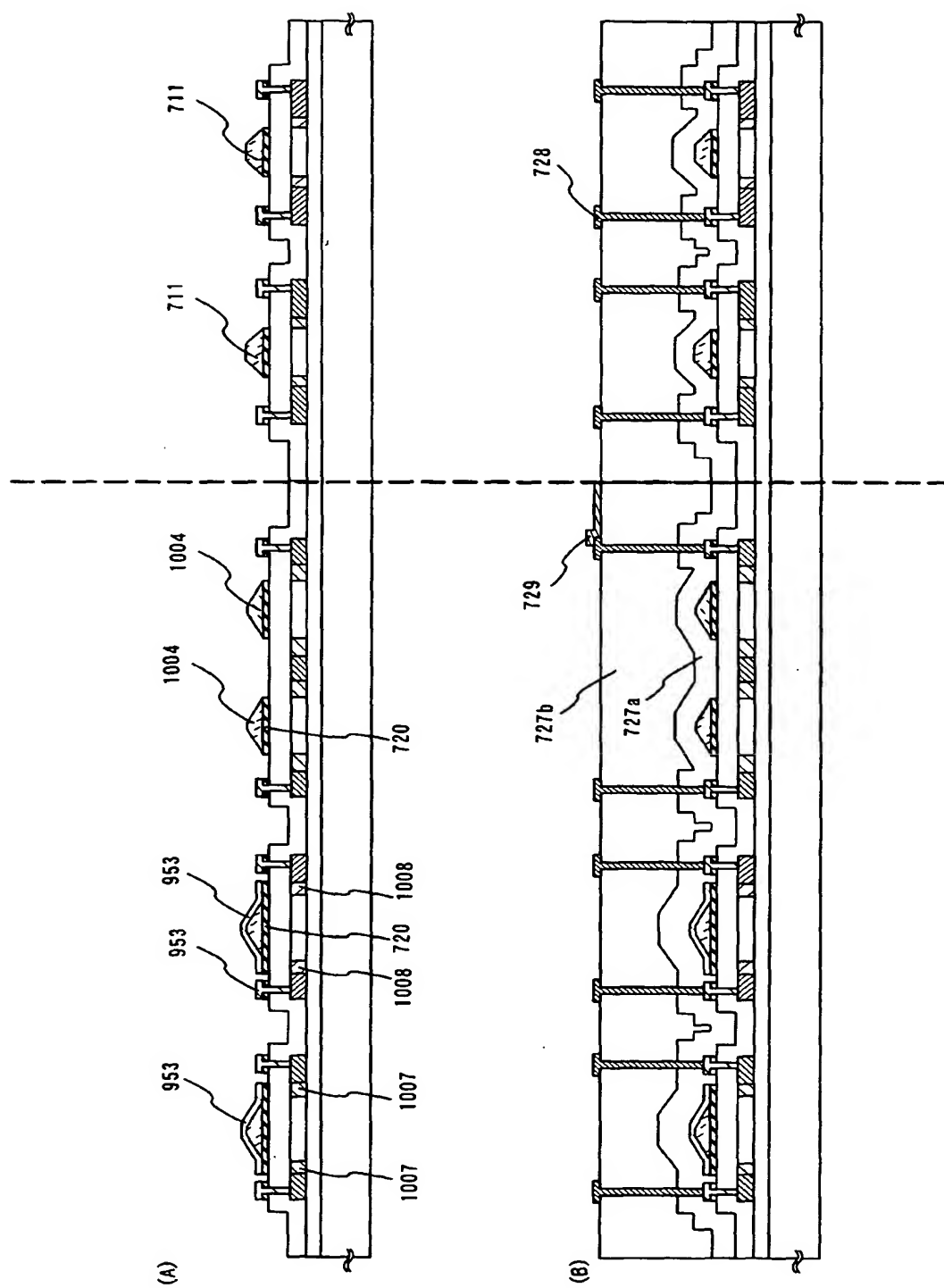
【図10】



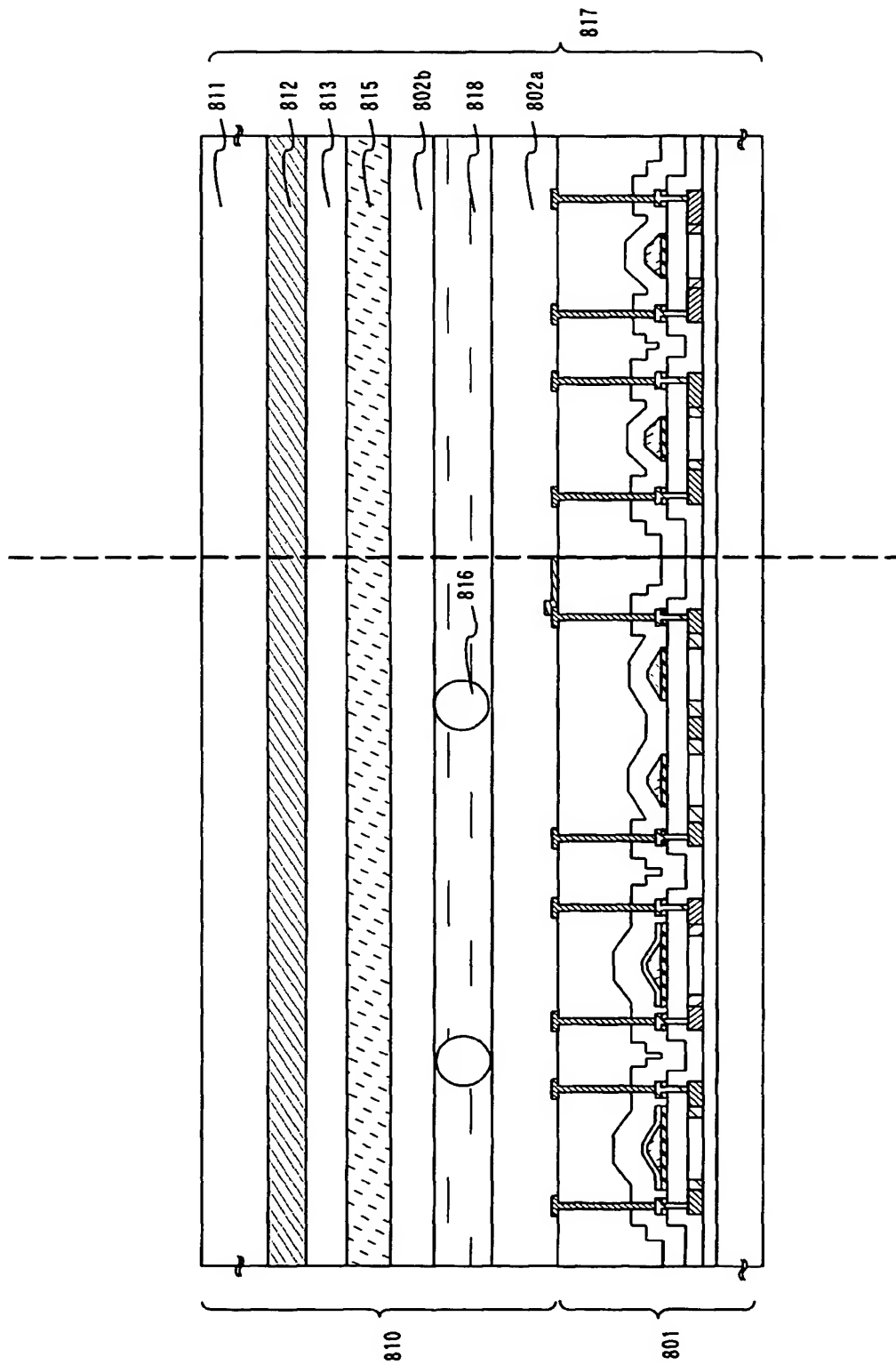
【図 11】



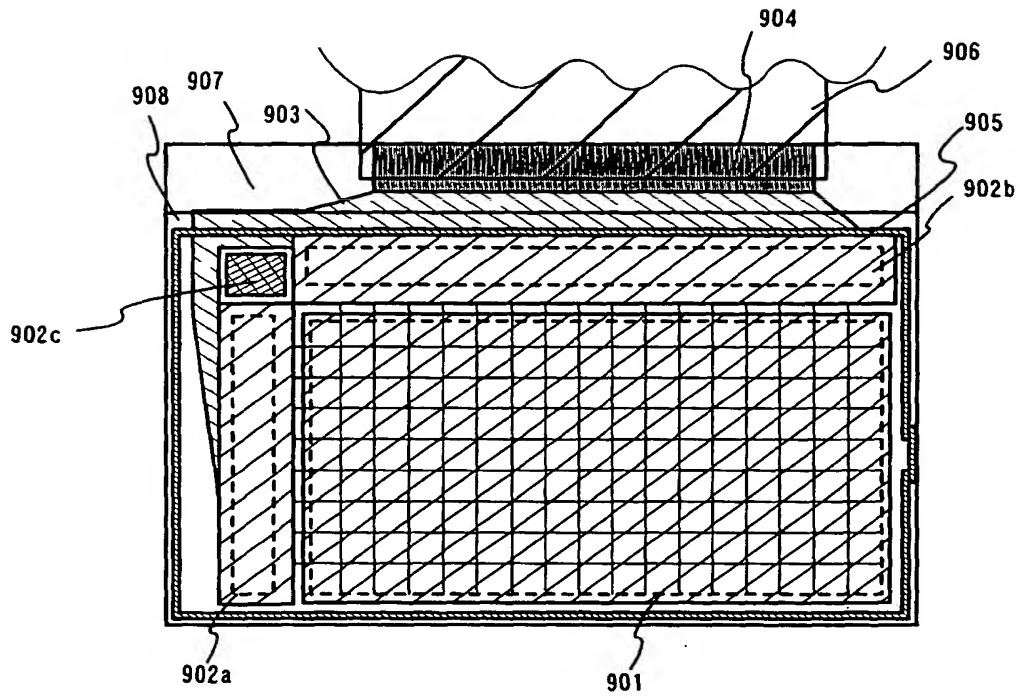
【図 12】



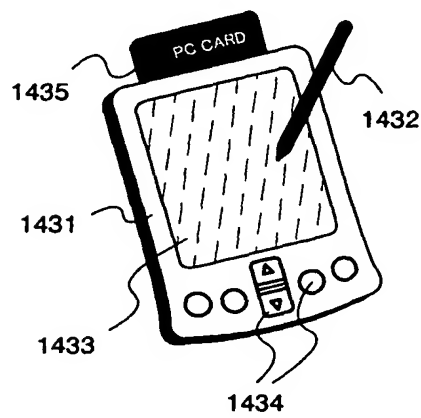
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 L D D 形成工程に於けるプラズマプロセスが原因となり生じる素子の損傷を極力低減した半導体装置の作製方法を提供すること。

【解決手段】 基板全面を覆うように導電性膜を形成した状態で、ハードマスクを利用した半導体装置の作製方法で L D D 構造の素子を形成することにより、L D D 形成工程におけるプラズマプロセスによる素子への損傷を極力低減する。導電性膜が全面に形成されていることにより、異方性エッチング等のプラズマによる処理（プラズマプロセス）においてゲート電極に蓄積される電荷密度を低減でき、プラズマプロセスによる損傷を低減できる。

【選択図】 図 2



特願 2 0 0 2 - 2 8 4 0 0 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所